

#230/62  
#230/62  
#230/62  
PATENT  
JCS11 U.S. Pat.  
09/290579  
04/13/99

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Hideki ASADA

Serial No. (unknown)

Filed herewith

LIQUID CRYSTAL DISPLAY DEVICE  
AND DRIVING METHOD THEREFOR

CLAIM FOR FOREIGN PRIORITY UNDER 35 U.S.C. 119  
AND SUBMISSION OF PRIORITY DOCUMENT

Assistant Commissioner for Patents

Washington, D.C. 20231

Sir:

Attached hereto is a certified copy of applicant's corresponding patent application filed in Japan on May 13, 1998 under No. 10-130558.

Applicant herewith claims the benefit of the priority filing date of the above-identified application for the above-entitled U.S. application under the provisions of 35 U.S.C. 119.

Respectfully submitted,

YOUNG & THOMPSON



By

Robert J. Patch  
Attorney for Applicant  
Registration No. 17,355  
745 South 23rd Street  
Arlington, VA 22202  
Telephone: 703/521-2297

April 13, 1999

日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

OSP 1028-30



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application:

1998年 5月13日

出願番号  
Application Number:

平成10年特許願第130558号

出願人  
Applicant(s):

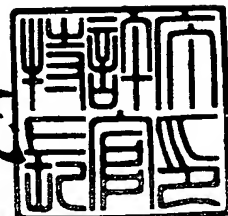
日本電気株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

1999年 2月12日

特許庁長官  
Commissioner,  
Patent Office

伴佐山 建志



出証番号 出証特平11-300688

【書類名】 特許願  
【整理番号】 34803036  
【提出日】 平成10年 5月13日  
【あて先】 特許庁長官 荒井 寿光殿  
【国際特許分類】 G09F 9/30306  
【発明の名称】 液晶表示装置およびその駆動方法  
【請求項の数】 89

【発明者】  
【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内  
【氏名】 浅田 秀樹

【特許出願人】  
【識別番号】 000004237  
【氏名又は名称】 日本電気株式会社  
【代表者】 金子 尚志

【代理人】  
【識別番号】 100096231  
【弁理士】  
【氏名又は名称】 稲垣 清  
【電話番号】 03-5295-0851

【手数料の表示】  
【予納台帳番号】 029388  
【納付金額】 21,000円

【提出物件の目録】  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示装置およびその駆動方法

【特許請求の範囲】

【請求項1】 複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続されたMOSトランジスタと、入力電極が前記MOSトランジスタのソース電極及びドレイン電極の他方に接続され、出力電極が画素電極に接続されたMOS型アナログアンプ回路と、前記MOS型アナログアンプ回路の入力電極と電圧保持容量電極との間に形成された電圧保持容量とから成ることを特徴とする液晶表示装置。

【請求項2】 請求項1に記載の液晶表示装置において、前記MOS型トランジスタ回路は、薄膜トランジスタから形成されていることを特徴とする液晶表示装置。

【請求項3】 請求項1に記載の液晶表示装置において、液晶材料が、ネマティック液晶、強誘電性液晶、反強誘電性液晶、無関反強誘電性液晶、歪螺旋強誘電性液晶、ねじれ強誘電性液晶、又は、単安定強誘電性液晶であることを特徴とする液晶表示装置。

【請求項4】 請求項1～3に記載の液晶表示装置の駆動方法において、走査線選択期間では、前記MOSトランジスタを経由してデータ信号を電圧保持容量に記憶させ、走査線選択期間および走査線非選択期間では、前記MOS型アナログアンプ回路を経由して、前記記憶されたデータ信号に対応した信号を画素電極に書き込むことを特徴とする液晶表示装置の駆動方法。

【請求項5】 複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続されたn型MOSトランジスタと、ゲート電極が前記n型MOSトランジスタのソ



ース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が前記走査線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続されたp型MOSトランジスタと、前記p型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、前記画素電極と前記電圧保持容量電極の間に接続された抵抗とから成ることを特徴とする液晶表示装置。

【請求項6】 複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続されたn型MOSトランジスタと、ゲート電極が前記n型MOSトランジスタソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が前記走査線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第1のp型MOSトランジスタと、前記第1のp型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極が電圧調整可能な電源線に接続され、ソース電極が前記電圧保持容量電極に接続され、ドレイン電極が前記画素電極に接続された第2のp型MOSトランジスタとから成ることを特徴とする液晶表示装置。

【請求項7】 複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続されたn型MOSトランジスタと、ゲート電極が前記n型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が前記走査線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第1のp型MOSトランジスタと、前記第1のp型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極が前記電圧保持容量電極に接続され、ソース電極が電圧調整可能な電源線に接続され、ドレイン電極が前記画素電極に接続された第2のp型MOSトラン

ジスタとから成ることを特徴とする液晶表示装置。

【請求項 8】 複数の走査線と複数の信号線との各交点付近に夫々配設された MOS 型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記 MOS 型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続された n 型 MOS トランジスタと、ゲート電極が前記 n 型 MOS トランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が前記走査線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第 1 の p 型 MOS トランジスタと、前記第 1 の p 型 MOS トランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極およびソース電極が前記電圧保持容量電極に接続され、ドレイン電極が前記画素電極に接続された第 2 の p 型 MOS トランジスタとから成ることを特徴とする液晶表示装置。

【請求項 9】 請求項 5 に記載の液晶表示装置において、前記抵抗の値は、液晶の応答時定数を決めている抵抗成分の値以下に設定したことを特徴とする液晶表示装置。

【請求項 10】 請求項 5 に記載の液晶表示装置において、前記抵抗は、半導体薄膜、又は不純物ドーピングされた半導体薄膜で形成されていることを特徴とする液晶表示装置。

【請求項 11】 請求項 6～8 に記載の液晶表示装置において、前記第 2 の p 型 MOS トランジスタのソース・ドレイン間抵抗の値が、液晶の応答時定数を決めている抵抗成分の値以下に設定されていることを特徴とする液晶表示装置。

【請求項 12】 請求項 5～8 に記載の液晶表示装置において、前記 MOS 型トランジスタ回路は、薄膜トランジスタを集積して形成されていることを特徴とする液晶表示装置。

【請求項 13】 請求項 5～8 に記載の液晶表示装置において、液晶材料が、ネマティック液晶、強誘電性液晶、反強誘電性液晶、無閾反強誘電性液晶、歪螺旋強誘電性液晶、ねじれ強誘電性液晶、又は、単安定強誘電性液晶であることを特徴とする液晶表示装置。

【請求項 14】 請求項 5～13 に記載の液晶表示装置の駆動方法において、前記電圧保持容量電極には、前記データ信号の最大電圧よりも大きな電圧を供給し、走査線選択期間では、走査パルス信号により、前記 n 型 MOS トランジスタを経由してデータ信号を前記電圧保持容量に記憶させるとともに、前記 p 型 MOS トランジスタ又は前記第 1 の p 型 MOS トランジスタを経由して走査パルス信号を前記画素電極に伝達することにより、前記 p 型 MOS トランジスタ又は前記第 1 の p 型 MOS トランジスタをリセット状態にし、走査線選択期間が終了した後に、前記 p 型 MOS トランジスタ又は前記第 1 の p 型 MOS トランジスタを経由して、前記記憶されたデータ信号に対応した信号を画素電極に書き込むことを特徴とする液晶表示装置の駆動方法。

【請求項 15】 複数の走査線と複数の信号線との各交点付近に夫々配設された MOS 型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記 MOS 型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続された p 型 MOS トランジスタと、ゲート電極が前記 p 型 MOS トランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が前記走査線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された n 型 MOS トランジスタと、前記 n 型 MOS トランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、前記画素電極と前記電圧保持容量電極の間に接続された抵抗とから成ることを特徴とする液晶表示装置。

【請求項 16】 複数の走査線と複数の信号線との各交点付近に夫々配設された MOS 型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記 MOS 型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続された p 型 MOS トランジスタと、ゲート電極が前記 p 型 MOS トランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が前記走査線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第 1 の n 型 MOS トランジスタと、前記第 1 の n 型 MOS トラン

ジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極が電圧調整可能なバイアス電源線に接続され、ソース電極が前記電圧保持容量電極に接続され、ドレイン電極が前記画素電極に接続された第2のn型MOSトランジスタとから成ることを特徴とする液晶表示装置。

【請求項17】 複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続されたp型MOSトランジスタと、ゲート電極が前記p型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が前記走査線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第1のn型MOSトランジスタと、前記第1のn型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極が前記電圧保持容量電極に接続され、ソース電極が電圧調整可能な電源線に接続され、ドレイン電極が前記画素電極に接続された第2のn型MOSトランジスタとから成ることを特徴とする液晶表示装置。

【請求項18】 複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続されたp型MOSトランジスタと、ゲート電極が前記p型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が前記走査線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第1のn型MOSトランジスタと、前記第1のn型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極およびソース電極が前記電圧保持容量電極に接続され、ドレイン電極が前記画素電極に接続された第2のn型MOSトランジスタとから成ることを特徴とする液晶表示装置。

【請求項19】 請求項15に記載の液晶表示装置において、前記抵抗の値

は、液晶の応答時定数を決めている抵抗成分の値以下に設定したことを特徴とする液晶表示装置。

【請求項 20】 請求項 15 に記載の液晶表示装置において、前記抵抗は、半導体薄膜、又は不純物ドーピングされた半導体薄膜で形成されていることを特徴とする液晶表示装置。

【請求項 21】 請求項 16～18 に記載の液晶表示装置において、前記第 2 の n 型 MOS トランジスタのソース・ドレイン間抵抗の値が、液晶の応答時定数を決めている抵抗成分の値以下に設定されていることを特徴とする液晶表示装置。

【請求項 22】 請求項 15～18 に記載の液晶表示装置において、前記 MOS 型トランジスタ回路は、薄膜トランジスタを集積して形成されていることを特徴とする液晶表示装置。

【請求項 23】 請求項 15～18 に記載の液晶表示装置において、液晶材料が、ネマティック液晶、強誘電性液晶、反強誘電性液晶、無関反強誘電性液晶、歪螺旋強誘電性液晶、ねじれ強誘電性液晶、又は、単安定強誘電性液晶であることを特徴とする液晶表示装置。

【請求項 24】 請求項 15～23 に記載の液晶表示装置の駆動方法において、前記電圧保持容量電極には、前記データ信号の最小電圧よりも小さい電圧を供給し、走査線選択期間では、走査パルス信号により、前記 p 型 MOS トランジスタを経由してデータ信号を前記電圧保持容量に記憶させるとともに、前記 n 型 MOS トランジスタ又は前記第 1 の n 型 MOS トランジスタを経由して走査パルス信号を前記画素電極に伝達することにより、前記 n 型 MOS トランジスタ又は前記第 1 の n 型 MOS トランジスタをリセット状態にし、走査線選択期間が終了した後に、前記 n 型 MOS トランジスタ又は前記第 1 の n 型 MOS トランジスタを経由して、前記記憶されたデータ信号に対応した信号を画素電極に書き込むことを特徴とする液晶表示装置の駆動方法。

【請求項 25】 複数の走査線と複数の信号線との各交点付近に夫々配設された MOS 型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記 MOS 型トランジスタ回路は、ゲート電極が

N番目（Nは2以上の整数）の前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続されたn型MOSトランジスタと、ゲート電極が前記n型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が（N-1）番目の前記走査線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続されたp型MOSトランジスタと、前記p型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、前記画素電極と前記電圧保持容量電極の間に接続された抵抗とから成ることを特徴とする液晶表示装置。

【請求項26】 複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極がN番目（Nは2以上の整数）の前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続されたn型MOSトランジスタと、ゲート電極が前記n型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が（N-1）番目の前記走査線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第1のp型MOSトランジスタと、前記第1のp型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極が電圧調整可能なバイアス電源線に接続され、ソース電極が前記電圧保持容量電極に接続され、ドレイン電極が前記画素電極に接続された第2のp型MOSトランジスタとから成ることを特徴とする液晶表示装置。

【請求項27】 複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極がN番目（Nは2以上の整数）の前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続されたn型MOSトランジスタと、ゲート電極が前記n型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が（N-1）番目の前記走査線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第1のp型MO

Sトランジスタと、前記第1のp型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極が前記電圧保持容量電極に接続され、ソース電極が電圧調整可能な電源線に接続され、ドレイン電極が前記画素電極に接続された第2のp型MOSトランジスタとから成ることを特徴とする液晶表示装置。

【請求項28】 複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極がN番目（Nは2以上の整数）の前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続されたn型MOSトランジスタと、ゲート電極が前記n型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が（N-1）番目の前記走査線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第1のp型MOSトランジスタと、前記第1のp型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極およびソース電極が前記電圧保持容量電極に接続され、ドレイン電極が前記画素電極に接続された第2のp型MOSトランジスタとから成ることを特徴とする液晶表示装置。

【請求項29】 請求項25に記載の液晶表示装置において、前記抵抗の値は、液晶の応答時定数を決めている抵抗成分の値以下に設定したことを特徴とする液晶表示装置。

【請求項30】 請求項25に記載の液晶表示装置において、前記抵抗は、半導体薄膜、又は、不純物ドーピングされた半導体薄膜で形成されていることを特徴とする液晶表示装置。

【請求項31】 請求項26～28に記載の液晶表示装置において、前記第2のp型MOSトランジスタのソース・ドレイン間抵抗の値が、液晶の応答時定数を決めている抵抗成分の値以下に設定されていることを特徴とする液晶表示装置。

【請求項32】 請求項25～28に記載の液晶表示装置において、前記MOS型トランジスタ回路は、薄膜トランジスタを集積して形成されていることを

特徴とする液晶表示装置。

【請求項 33】 請求項 25～28 に記載の液晶表示装置において、液晶材料が、ネマティック液晶、強誘電性液晶、反強誘電性液晶、無関反強誘電性液晶、歪螺旋強誘電性液晶、ねじれ強誘電性液晶、又は、単安定強誘電性液晶であることを特徴とする液晶表示装置。

【請求項 34】 請求項 25～33 に記載の液晶表示装置の駆動方法において、前記電圧保持容量電極には、前記データ信号の最大電圧よりも大きい電圧を供給し、前ラインの走査線選択期間では、前記 p 型 MOS トランジスタ又は前記第 1 の p 型 MOS トランジスタを経由して前ラインの走査パルス信号を前記画素電極に伝達することにより、前記 p 型 MOS トランジスタ又は前記第 1 の p 型 MOS トランジスタをリセット状態にし、走査線選択期間では、走査パルス信号により、前記 n 型 MOS トランジスタを経由してデータ信号を前記電圧保持容量に記憶させるとともに、前記 p 型 MOS トランジスタ又は前記第 1 の p 型 MOS トランジスタを経由して、前記記憶されたデータ信号に対応した信号を画素電極に書き込み、走査線選択期間が終了した後も引き続き、前記 p 型 MOS トランジスタ又は前記第 1 の p 型 MOS トランジスタを経由して、前記記憶されたデータ信号に対応した信号を画素電極に書き込むことを特徴とする液晶表示装置の駆動方法。

【請求項 35】 複数の走査線と複数の信号線との各交点付近に夫々配設された MOS 型 トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記 MOS 型 トランジスタ回路は、ゲート電極が N 番目 (N は 2 以上の整数) の前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続された p 型 MOS トランジスタと、ゲート電極が前記 p 型 MOS トランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が (N-1) 番目の前記走査線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された n 型 MOS トランジスタと、前記 n 型 MOS トランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、前記画素電極と前記電圧保持容量電極の間に接続された抵抗とから成ることを特徴とする液晶表示装置。



【請求項36】 複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極がN番目（Nは2以上の整数）の前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続されたp型MOSトランジスタと、ゲート電極が前記p型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が（N-1）番目の前記走査線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第1のn型MOSトランジスタと、前記第1のn型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極が電圧調整可能なバイアス電源線に接続され、ソース電極が前記電圧保持容量電極に接続され、ドレイン電極が前記画素電極に接続された第2のn型MOSトランジスタとから成ることを特徴とする液晶表示装置。

【請求項37】 複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極がN番目（Nは2以上の整数）の前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続されたp型MOSトランジスタと、ゲート電極が前記p型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が（N-1）番目の前記走査線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第1のn型MOSトランジスタと、前記第1のn型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極が前記電圧保持容量電極に接続され、ソース電極が電圧調整可能な電源線に接続され、ドレイン電極が前記画素電極に接続された第2のn型MOSトランジスタとから成ることを特徴とする液晶表示装置。

【請求項38】 複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極が

N番目（Nは2以上の整数）の前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続されたp型MOSトランジスタと、ゲート電極が前記p型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が（N-1）番目の前記走査線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第1のn型MOSトランジスタと、前記第1のn型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極及びソース電極が前記電圧保持容量電極に接続され、ドレイン電極が前記画素電極に接続された第2のn型MOSトランジスタとから成ることを特徴とする液晶表示装置。

【請求項39】 請求項35に記載の液晶表示装置において、前記抵抗の値は、液晶の応答時定数を決めている抵抗成分の値以下に設定したことを特徴とする液晶表示装置。

【請求項40】 請求項35に記載の液晶表示装置において、前記抵抗は、半導体薄膜、又は不純物ドーピングされた半導体薄膜で形成されていることを特徴とする液晶表示装置。

【請求項41】 請求項36～38に記載の液晶表示装置において、前記第2のn型MOSトランジスタのソース・ドレイン間抵抗の値が、液晶の応答時定数を決めている抵抗成分の値以下に設定されていることを特徴とする液晶表示装置。

【請求項42】 請求項35～38に記載の液晶表示装置において、前記MOS型トランジスタ回路は、薄膜トランジスタを集積して形成されていることを特徴とする液晶表示装置。

【請求項43】 請求項35～38に記載の液晶表示装置において、液晶材料が、ネマティック液晶、強誘電性液晶、反強誘電性液晶、無関反強誘電性液晶、歪螺旋強誘電性液晶、ねじれ強誘電性液晶、又は、単安定強誘電性液晶であることを特徴とする液晶表示装置。

【請求項44】 請求項35～43に記載の液晶表示装置の駆動方法において、前記電圧保持容量電極には、前記データ信号の最小電圧よりも小さい電圧を供給し、前ラインの走査線選択期間では、前記n型MOSトランジスタ又は前記

第1のn型MOSトランジスタを経由して前ラインの走査パルス信号を前記画素電極に伝達することにより、前記n型MOSトランジスタ又は前記第1のn型MOSトランジスタをリセット状態にし、走査線選択期間では、走査パルス信号により、前記p型MOSトランジスタを経由してデータ信号を前記電圧保持容量に記憶させるとともに、前記n型MOSトランジスタ又は前記第1のn型MOSトランジスタを経由して、前記記憶されたデータ信号に対応した信号を画素電極に書き込み、走査線選択期間が終了した後も引き続き、前記n型MOSトランジスタ又は前記第1のn型MOSトランジスタを経由して、前記記憶されたデータ信号に対応した信号を画素電極に書き込むことを特徴とする液晶表示装置の駆動方法。

【請求項45】 複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続されたn型MOSトランジスタと、ゲート電極が前記n型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセット電極に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続されたp型MOSトランジスタと、前記p型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、前記画素電極と前記電圧保持容量電極の間に接続された抵抗とから成ることを特徴とする液晶表示装置。

【請求項46】 複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続されたn型MOSトランジスタと、ゲート電極が前記n型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセット信号線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第1のp型MOSトランジスタと、前記第1のp型MOSト

ランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極が電圧調整可能なバイアス電源線に接続され、ソース電極が前記電圧保持容量電極に接続され、ドレイン電極が前記画素電極に接続された第2のp型MOSトランジスタとから成ることを特徴とする液晶表示装置。

【請求項47】 複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続されたn型MOSトランジスタと、ゲート電極が前記n型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセット信号線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第1のp型MOSトランジスタと、前記第1のp型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極が前記電圧保持容量電極に接続され、ソース電極が電圧調整可能な電源線に接続され、ドレイン電極が前記画素電極に接続された第2のp型MOSトランジスタとから成ることを特徴とする液晶表示装置。

【請求項48】 複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続されたn型MOSトランジスタと、ゲート電極が前記n型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセット信号線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第1のp型MOSトランジスタと、前記第1のp型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極およびソース電極が前記電圧保持容量電極に接続され、ドレイン電極が前記画素電極に接続された第2のp型MOSトランジスタとから成ることを特徴とする液晶表示装置。

【請求項49】 請求項45に記載の液晶表示装置において、前記抵抗の値

は、液晶の応答時定数を決めている抵抗成分の値以下に設定したことを特徴とする液晶表示装置。

【請求項 50】

請求項 45 に記載の液晶表示装置において、前記抵抗は、半導体薄膜、又は不純物ドーピングされた半導体薄膜で形成されていることを特徴とする液晶表示装置。

【請求項 51】

請求項 46 ～ 48 に記載の液晶表示装置において、前記第 2 の p 型 MOS トランジスタのソース・ドレイン間抵抗の値が、液晶の応答時定数を決めている抵抗成分の値以下に設定されていることを特徴とする液晶表示装置。

【請求項 52】 請求項 45 ～ 48 に記載の液晶表示装置において、前記 MOS 型トランジスタ回路は、薄膜トランジスタを集積して形成されていることを特徴とする液晶表示装置。

【請求項 53】 請求項 45 ～ 48 に記載の液晶表示装置において、液晶材料が、ネマティック液晶、強誘電性液晶、反強誘電性液晶、無関反強誘電性液晶、歪螺旋強誘電性液晶、ねじれ強誘電性液晶、又は、単安定強誘電性液晶であることを特徴とする液晶表示装置。

【請求項 54】 請求項 45 ～ 53 に記載の液晶表示装置の駆動方法において、前記電圧保持容量電極には、前記データ信号の最大電圧よりも大きい電圧を供給し、走査線選択期間より前の時間において、前記 p 型 MOS トランジスタ又は前記第 1 の p 型 MOS トランジスタを経由してリセット信号を前記画素電極に伝達することにより、前記 p 型 MOS トランジスタ又は前記第 1 の p 型 MOS トランジスタをリセット状態にし、走査線選択期間では、走査パルス信号により、前記 n 型 MOS トランジスタを経由してデータ信号を前記電圧保持容量に記憶させるとともに、前記 p 型 MOS トランジスタ又は前記第 1 の p 型 MOS トランジスタを経由して、前記記憶されたデータ信号に対応した信号を画素電極に書き込み、走査線選択期間が終了した後も引き続き、前記 p 型 MOS トランジスタ又は前記第 1 の p 型 MOS トランジスタを経由して、前記記憶されたデータ信号に対応した信号を画素電極に書き込むことを特徴とする液晶表示装置の駆動方法。

【請求項 55】 請求項 45～53 に記載の液晶表示装置の駆動方法において、前記電圧保持容量電極には、前記データ信号の最大電圧よりも大きい電圧を供給し、走査線選択期間では、走査パルス信号により、前記 n 型 MOS トランジスタを経由してデータ信号を前記電圧保持容量に記憶させるとともに、前記 p 型 MOS トランジスタ又は前記第 1 の p 型 MOS トランジスタを経由してリセット信号を前記画素電極に伝達することにより、前記 p 型 MOS トランジスタ又は前記第 1 の p 型 MOS トランジスタをリセット状態にし、走査線選択期間が終了した後に、前記 p 型 MOS トランジスタ又は前記第 1 の p 型 MOS トランジスタを経由して、前記記憶されたデータ信号に対応した信号を画素電極に書き込むことを特徴とする液晶表示装置の駆動方法。

【請求項 56】 複数の走査線と複数の信号線との各交点付近に夫々配設された MOS 型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記 MOS 型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続された p 型 MOS トランジスタと、ゲート電極が前記 p 型 MOS トランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセット信号線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された n 型 MOS トランジスタと、前記 n 型 MOS トランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、前記画素電極と前記電圧保持容量電極の間に接続された抵抗とから成ることを特徴とする液晶表示装置。

【請求項 57】 複数の走査線と複数の信号線との各交点付近に夫々配設された MOS 型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記 MOS 型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続された p 型 MOS トランジスタと、ゲート電極が前記 p 型 MOS トランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセット信号線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第 1 の n 型 MOS トランジスタと、前記第 1 の n 型 MOS ト

ランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極が電圧調整可能なバイアス電源線に接続され、ソース電極が前記電圧保持容量電極に接続され、ドレイン電極が前記画素電極に接続された第2のn型MOSトランジスタとから成ることを特徴とする液晶表示装置。

【請求項58】 複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続されたp型MOSトランジスタと、ゲート電極が前記p型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセット信号線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第1のn型MOSトランジスタと、前記第1のn型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極が前記電圧保持容量電極に接続され、ソース電極が電圧調整可能な電源線に接続され、ドレイン電極が前記画素電極に接続された第2のn型MOSトランジスタとから成ることを特徴とする液晶表示装置。

【請求項59】 複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続されたp型MOSトランジスタと、ゲート電極が前記p型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセット信号線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第1のn型MOSトランジスタと、前記第1のn型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極およびソース電極が前記電圧保持容量電極に接続され、ドレイン電極が前記画素電極に接続された第2のn型MOSトランジスタとから成ることを特徴とする液晶表示装置。

【請求項60】 請求項56に記載の液晶表示装置において、前記抵抗の値

は、液晶の応答時定数を決めている抵抗成分の値以下に設定したことを特徴とする液晶表示装置。

【請求項 61】 請求項 56 に記載の液晶表示装置において、前記抵抗は、半導体薄膜、又は不純物ドーピングされた半導体薄膜で形成されていることを特徴とする液晶表示装置。

【請求項 62】 請求項 57～59 に記載の液晶表示装置において、前記第 2 の n 型 MOS トランジスタのソース・ドレイン間抵抗の値が、液晶の応答時定数を決めている抵抗成分の値以下に設定されていることを特徴とする液晶表示装置。

【請求項 63】 請求項 56～59 に記載の液晶表示装置において、前記 MOS 型 トランジスタ回路は、薄膜トランジスタを集積して形成されていることを特徴とする液晶表示装置。

【請求項 64】 請求項 56～59 に記載の液晶表示装置において、液晶材料が、ネマティック液晶、強誘電性液晶、反強誘電性液晶、無関反強誘電性液晶、歪螺旋強誘電性液晶、ねじれ強誘電性液晶、又は、単安定強誘電性液晶であることを特徴とする液晶表示装置。

【請求項 65】 請求項 56～64 に記載の液晶表示装置の駆動方法において、前記電圧保持容量電極には、前記データ信号の最小電圧よりも小さい電圧を供給し、走査線選択期間より前の時間において、前記 n 型 MOS トランジスタ又は前記第 1 の n 型 MOS トランジスタを経由してリセット信号を前記画素電極に伝達することにより、前記 n 型 MOS トランジスタ又は前記第 1 の n 型 MOS トランジスタをリセット状態にし、走査線選択期間では、走査パルス信号により、前記 p 型 MOS トランジスタを経由してデータ信号を前記電圧保持容量に記憶させるとともに、前記 n 型 MOS トランジスタ又は前記第 1 の n 型 MOS トランジスタを経由して、前記記憶されたデータ信号に対応した信号を画素電極に書き込み、走査線選択期間が終了した後も引き続き、前記 n 型 MOS トランジスタ又は前記第 1 の n 型 MOS トランジスタを経由して、前記記憶されたデータ信号に対応した信号を画素電極に書き込むことを特徴とする液晶表示装置の駆動方法。

【請求項 66】 請求項 56～64 に記載の液晶表示装置の駆動方法におい



て、前記電圧保持容量電極には、前記データ信号の最小電圧よりも小さい電圧を供給し、走査線選択期間では、走査パルス信号により、前記p型MOSトランジスタを経由してデータ信号を前記電圧保持容量に記憶させるとともに、前記n型MOSトランジスタ又は前記第1のn型MOSトランジスタを経由してリセット信号を前記画素電極に伝達することにより、前記n型MOSトランジスタ又は前記第1のn型MOSトランジスタをリセット状態にし、走査線選択期間が終了した後に、前記n型MOSトランジスタ又は前記第1のn型MOSトランジスタを経由して、前記記憶されたデータ信号に対応した信号を画素電極に書き込むことを特徴とする液晶表示装置の駆動方法。

【請求項67】 複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続された第1のn型MOSトランジスタと、ゲート電極が前記第1のn型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセット信号線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第2のn型MOSトランジスタと、前記第2のn型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、前記画素電極と前記電圧保持容量電極の間に接続された抵抗とから成ることを特徴とする液晶表示装置。

【請求項68】 複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続された第1のn型MOSトランジスタと、ゲート電極が前記第1のn型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセット信号線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第2のn型MOSトランジスタと、前記第2のn型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電

圧保持容量と、ゲート電極が電圧調整可能なバイアス電源線に接続され、ソース電極が前記電圧保持容量電極に接続され、ドレイン電極が前記画素電極に接続された第3のn型MOSトランジスタとから成ることを特徴とする液晶表示装置。

【請求項69】 複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続された第1のn型MOSトランジスタと、ゲート電極が前記第1のn型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセット信号線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第2のn型MOSトランジスタと、前記第2のn型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極が前記電圧保持容量電極に接続され、ソース電極が電圧調整可能なバイアス電源線に接続され、ドレイン電極が前記画素電極に接続された第3のn型MOSトランジスタとから成ることを特徴とする液晶表示装置。

【請求項70】 複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続された第1のn型MOSトランジスタと、ゲート電極が前記第1のn型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセット信号線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第2のn型MOSトランジスタと、前記第2のn型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極およびソース電極が前記電圧保持容量電極に接続され、ドレイン電極が前記画素電極に接続された第3のn型MOSトランジスタとから成ることを特徴とする液晶表示装置。

【請求項71】 請求項67に記載の液晶表示装置において、前記抵抗の値は、液晶の応答時定数を決めている抵抗成分の値以下に設定したことを特徴とす

る液晶表示装置。

【請求項 72】 請求項 67 に記載の液晶表示装置において、前記抵抗は、半導体薄膜、又は不純物ドーピングされた半導体薄膜で形成されていることを特徴とする液晶表示装置。

【請求項 73】 請求項 68～70 に記載の液晶表示装置において、前記第 3 の n 型 MOS トランジスタのソース・ドレイン間抵抗の値が、液晶の応答時定数を決めている抵抗成分の値以下に設定されていることを特徴とする液晶表示装置。

【請求項 74】 請求項 67～70 に記載の液晶表示装置において、前記 MOS 型 トランジスタ回路は、薄膜トランジスタを集積して形成されていることを特徴とする液晶表示装置。

【請求項 75】 請求項 67～70 に記載の液晶表示装置において、液晶材料が、ネマティック液晶、強誘電性液晶、反強誘電性液晶、無閾反強誘電性液晶、歪螺旋強誘電性液晶、ねじれ強誘電性液晶、又は、単安定強誘電性液晶であることを特徴とする液晶表示装置。

【請求項 76】 請求項 67～75 に記載の液晶表示装置の駆動方法において、前記電圧保持容量電極には、前記データ信号の最小電圧よりも小さい電圧を供給し、走査線選択期間より前の時間において、前記第 2 の n 型 MOS トランジスタを経由してリセット信号を前記画素電極に伝達することにより、前記第 2 の n 型 MOS トランジスタをリセット状態にし、走査線選択期間では、走査パルス信号により、前記第 1 の n 型 MOS トランジスタを経由してデータ信号を前記電圧保持容量に記憶させるとともに、前記第 2 の n 型 MOS トランジスタを経由して、前記記憶されたデータ信号に対応した信号を画素電極に書き込み、走査線選択期間が終了した後も引き続き、前記第 2 の n 型 MOS トランジスタを経由して、前記記憶されたデータ信号に対応した信号を画素電極に書き込むことを特徴とする液晶表示装置の駆動方法。

【請求項 77】 請求項 67～75 に記載の液晶表示装置の駆動方法において、前記電圧保持容量電極には、前記データ信号の最小電圧よりも小さい電圧を供給し、走査線選択期間では、走査パルス信号により、前記第 1 の n 型 MOS ト

ランジスタを経由してデータ信号を前記電圧保持容量に記憶させるとともに、前記第2のn型MOSトランジスタを経由してリセット信号を前記画素電極に伝達することにより、前記第2のn型MOSトランジスタをリセット状態にし、走査線選択期間が終了した後に、前記第2のn型MOSトランジスタを経由して、前記記憶されたデータ信号に対応した信号を画素電極に書き込むことを特徴とする液晶表示装置の駆動方法。

【請求項78】 複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続された第1のp型MOSトランジスタと、ゲート電極が前記第1のp型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセット信号線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第2のp型MOSトランジスタと、前記第2のp型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、前記画素電極と前記電圧保持容量電極の間に接続された抵抗とから成ることを特徴とする液晶表示装置。

【請求項79】 複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続された第1のp型MOSトランジスタと、ゲート電極が前記第1のp型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセット信号線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第2のp型MOSトランジスタと、前記第2のp型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極が電圧調整可能なバイアス電源線に接続され、ソース電極が前記電圧保持容量電極に接続され、ドレイン電極が前記画素電極に接続された第3のp型MOSトランジスタとから成ることを特徴とする液晶表示装置。

【請求項 80】 複数の走査線と複数の信号線との各交点付近に夫々配設された MOS 型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記 MOS 型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続された第 1 の p 型 MOS トランジスタと、ゲート電極が前記第 1 の p 型 MOS トランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセット信号線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第 2 の p 型 MOS トランジスタと、前記第 2 の p 型 MOS トランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極が前記電圧保持容量電極に接続され、ソース電極が電圧調整可能なバイアス電源線に接続され、ドレイン電極が前記画素電極に接続された第 3 の p 型 MOS トランジスタとから成ることを特徴とする液晶表示装置。

【請求項 81】 複数の走査線と複数の信号線との各交点付近に夫々配設された MOS 型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記 MOS 型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続された第 1 の p 型 MOS トランジスタと、ゲート電極が前記第 1 の p 型 MOS トランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセット信号線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第 2 の p 型 MOS トランジスタと、前記第 2 の p 型 MOS トランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極およびソース電極が前記電圧保持容量電極に接続され、ドレイン電極が前記画素電極に接続された第 3 の p 型 MOS トランジスタとから成ることを特徴とする液晶表示装置。

【請求項 82】 請求項 78 に記載の液晶表示装置において、前記抵抗の値は、液晶の応答時定数を決めている抵抗成分の値以下に設定したことを特徴とする液晶表示装置。

【請求項 83】 請求項 78 に記載の液晶表示装置において、前記抵抗は、半導体薄膜、又は不純物ドーピングされた半導体薄膜で形成されていることを特

徴とする液晶表示装置。

【請求項 84】 請求項 79～81 に記載の液晶表示装置において、前記第 3 の p 型 MOS トランジスタのソース・ドレイン間抵抗の値が、液晶の応答時定数を決めている抵抗成分の値以下に設定されていることを特徴とする液晶表示装置。

【請求項 85】 請求項 78～81 に記載の液晶表示装置において、前記 MOS 型トランジスタ回路は、薄膜トランジスタを集積して形成されていることを特徴とする液晶表示装置。

【請求項 86】 請求項 78～81 に記載の液晶表示装置において、液晶材料が、ネマティック液晶、強誘電性液晶、反強誘電性液晶、無閾反強誘電性液晶、歪螺旋強誘電性液晶、ねじれ強誘電性液晶、又は、単安定強誘電性液晶であることを特徴とする液晶表示装置。

【請求項 87】 請求項 78～86 に記載の液晶表示装置の駆動方法において、前記電圧保持容量電極には、前記データ信号の最大電圧よりも大きい電圧を供給し、走査線選択期間より前の時間において、前記第 2 の p 型 MOS トランジスタを経由してリセット信号を前記画素電極に伝達することにより、前記第 2 の p 型 MOS トランジスタをリセット状態にし、走査線選択期間では、走査パルス信号により、前記第 1 の p 型 MOS トランジスタを経由してデータ信号を前記電圧保持容量に記憶させるとともに、前記第 2 の p 型 MOS トランジスタを経由して、前記記憶されたデータ信号に対応した信号を画素電極に書き込み、走査線選択期間が終了した後も引き続き、前記第 2 の p 型 MOS トランジスタを経由して、前記記憶されたデータ信号に対応した信号を画素電極に書き込むことを特徴とする液晶表示装置の駆動方法。

【請求項 88】 請求項 78～86 に記載の液晶表示装置の駆動方法において、前記電圧保持容量電極には、前記データ信号の最大電圧よりも大きい電圧を供給し、走査線選択期間では、走査パルス信号により、前記第 1 の p 型 MOS トランジスタを経由してデータ信号を前記電圧保持容量に記憶させるとともに、前記第 2 の p 型 MOS トランジスタを経由してリセット信号を前記画素電極に伝達することにより、前記第 2 の p 型 MOS トランジスタをリセット状態にし、走査

線選択期間が終了した後に、前記第2のp型MOSトランジスタを経由して、前記記憶されたデータ信号に対応した信号を画素電極に書き込むことを特徴とする液晶表示装置の駆動方法。

【請求項89】 請求項1～3、5～13、15～23、25～33、35～43、45～53、56～64、67～75、78～86のいずれかに記載の液晶表示装置からなり、1フィールド又は1フレーム期間に入射する光の色を切り換えて駆動することによりカラー表示を行うことを特徴とする時分割駆動方式の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、プロジェクタ、ノートPC、モニタ等に用いられるアクティブマトリクス型液晶表示装置およびその駆動方法に関するものである。

【0002】

【従来の技術】

マルチメディア時代の進展とともに、液晶表示装置は、プロジェクタ装置に用いられている小型のものから、ノートPC、モニタ等に用いられている大型のものまで、急速に普及が進んできている。特に、薄膜トランジスタで駆動するアクティブマトリクス型液晶表示装置は、単純マトリクス型液晶表示装置に比べて、高解像度、高画質が得られることから、液晶表示装置の主流となっている。

【0003】

図59は、従来のアクティブマトリクス型液晶表示装置の1画素分の等価回路の例を示したものである。同図に示すように、アクティブマトリクス型液晶表示装置の画素は、ゲート電極が走査線5901に接続され、ソース電極及びドレイン電極の一方が信号線5902に接続され、ソース電極及びドレイン電極の他方が画素電極5903に接続されたMOS型トランジスタ(Q<sub>n</sub>)（以下トランジスタ(Q<sub>n</sub>)と記す。）5904と、その画素電極5903と蓄積容量電極5905との間に形成された蓄積容量5906と、画素電極5903と対向電極V<sub>com</sub>5907との間に挟まれた液晶5908とで構成されている。現在、液晶表

示装置の大きな応用市場を形成しているノートPCでは、通常、トランジスタ（ $Q_n$ ）5904として、アモルファスシリコン薄膜トランジスタ（以下a-SiTFTと記す。）又はポリシリコン薄膜トランジスタ（以下p-SiTFTと記す。）が用いられ、また、液晶材料としては、ツイステッドネマティック液晶（以下TN液晶と記す。）が用いられている。図60は、TN液晶の等価回路を示したものである。図に示すように、TN液晶の等価回路は、液晶の容量成分 $C_{pix}$ と、抵抗 $R_r$ および容量 $C_r$ とを並列に接続した回路で表すことができる。ここで、抵抗 $R_r$ および容量 $C_r$ は液晶の応答時定数を決定する成分である。

#### 【0004】

このようなTN液晶を、図59に示した画素回路構成により駆動した場合の、ゲート走査電圧 $V_g$ 、データ信号電圧 $V_d$ 、画素電極5903の電圧（以下画素電圧と記す。） $V_{pix}$ のタイミングチャートを図61に示す。図に示すように、ゲート走査電圧 $V_g$ が水平走査の期間、ハイレベル $V_{gH}$ となることによって、トランジスタ（ $Q_n$ ）5904はオン状態となり、信号線に入力されているデータ信号 $V_d$ がトランジスタ（ $Q_n$ ）5904を経由して画素電極5903に転送される。TN液晶は、通常、電圧無印加時に光が透過するモード、いわゆるノーマリー・ホワイトモードで動作する。ここでは、データ信号 $V_d$ として、TN液晶を通した光透過率が高くなる電圧を数フィールドに渡って印加している。水平走査期間が終了し、ゲート走査電圧 $V_g$ がローレベルとなると、トランジスタ（ $Q_n$ ）5904はオフ状態となり、画素電極5903に転送されたデータ信号は蓄積容量5906、および液晶の容量 $C_{pix}$ により保持される。この際、画素電圧 $V_{pix}$ は、トランジスタ（ $Q_n$ ）5904がオフ状態になる時刻において、トランジスタ（ $Q_n$ ）5904のゲート・ソース間容量を経由してフィードスルー電圧と呼ばれる電圧シフトを起こす。図には、 $V_{f1}$ 、 $V_{f2}$ 、 $V_{f3}$ で示されており、この電圧シフト $V_{f1} \sim V_{f3}$ の量は、蓄積容量5906の値を大きく設計することにより小さくすることができる。画素電圧 $V_{pix}$ は、次のフィールド期間において、再びゲート走査電圧 $V_g$ がハイレベルとなり、トランジスタ（ $Q_n$ ）5904が選択されるまで保持される。保持された画素電圧 $V_{pix}$ に応じて、TN液晶がスイッチングし、光透過率 $T_1$ で示したように、液晶



透過光は暗い状態から明るい状態へ遷移する。この際、図61に示すように、保持期間において、画素電圧 $V_{pix}$ は、各フィールドで、それぞれ $\Delta V_1$ 、 $\Delta V_2$ 、 $\Delta V_3$ だけ変動する。これは、液晶の応答にしたがって、液晶の容量が変化することに起因している。通常、この変動ができるだけ小さくなるように、蓄積容量5906を画素容量 $C_{pix}$ に対し、2～3倍以上の大きな値で設計される。以上説明したようにして、図59に示した画素回路構成によってTN液晶を駆動することができる。

#### 【0005】

しかしながら、図61に示した光透過率の変化に示すように、TN液晶の応答時間は通常30～100msecと大きく、高速に移動する物体を表示した場合には残像が生じ、鮮明な表示ができないという問題がある。また、TN液晶は、視野角が狭いという問題も有している。そのため、最近では、高速、広視野角を提供できる、分極を有する液晶材料およびそれら液晶材料を用いた液晶表示装置の研究開発が活発に行われている。分極を有する高速液晶の等価回路は、図62に示すように、抵抗 $R_{sp}$ と容量 $C_{sp}$ を直列に接続した回路と、分極の回転によって変化しない高周波画素容量 $C_{pix}$ とを並列に接続した回路で表すことができる。等価回路の構成としては、先に図60で示したTN液晶の等価回路と同様であるが、液晶の応答時間を決める抵抗 $R_{sp}$ と容量 $C_{sp}$ が、TN液晶とは異なり、分極の応答に関与した成分であることを区別するため、別の図として示した。

#### 【0006】

このような分極を有する液晶材料としては、強誘電性液晶、反強誘電性液晶、無関反強誘電性液晶、歪螺旋強誘電性液晶、ねじれ強誘電性液晶、単安定強誘電性液晶等があげられる。それら液晶材料の中で、特に、無関反強誘電性液晶を用いた液晶表示装置は、高速、広視野角であるだけでなく、図59に示したようなアクティブマトリクス型の駆動を用いることにより階調表示も可能であることが、例えば、ジャパン・ジャーナル・オブ・アプライド・フィジックス、36巻、720頁(Japan Journal of Applied Physics, Volume 36 p. 720、以下参考文献1と記す。)に記載されてい

る。

# 【0007】

図63は、無閾反強誘電性液晶を、図59に示した従来の画素回路構成により駆動した場合の、ゲート走査電圧 $V_g$ 、データ信号電圧 $V_d$ 、画素電圧 $V_{pix}$ のタイミングチャートを示したものである。図に示すように、ゲート走査電圧 $V_g$ が水平走査の期間、ハイレベル $V_{gH}$ となることによって、トランジスタ( $Q_n$ )5904はオン状態となり、信号線に入力されているデータ信号 $V_d$ がトランジスタ( $Q_n$ )5904を経由して画素電極5903に転送される。無閾反強誘電性液晶は、通常、電圧無印加時に光が透過しないモード、いわゆるノーマリー・ブラックで動作する。水平走査期間が終了し、ゲート走査電圧 $V_g$ がローレベルとなると、トランジスタ( $Q_n$ )5904はオフ状態となり、画素電極5903に転送されたデータ信号は蓄積容量5906、および液晶の高周波画素容量 $C_{pix}$ により保持される。この際、画素電圧 $V_{pix}$ は、トランジスタ( $Q_n$ )5904がオフ状態になる時刻において、前述のTN液晶を駆動した場合と同様、トランジスタ( $Q_n$ )5904のゲート・ソース間容量を経由してフィードスルー電圧と呼ばれる電圧シフトを起こす。さらに、水平走査期間が終了した後、画素電圧 $V_{pix}$ は、高周波容量 $C_{pix}$ に保持された電荷と、分極による容量 $C_{sp}$ に保持されている電荷の再配分により、図に示すように、各フィールドで、それぞれ $\Delta V_1$ 、 $\Delta V_2$ 、 $\Delta V_3$ だけ変動する。参考文献1に記載された駆動方法では、この電圧変動後の画素電圧 $V_{pix}$ により階調制御する駆動方法が記載されている。この時、図63において、T1で示したように光透過率が変化し、図59に示した画素回路構成によって無閾反強誘電性液晶を駆動することができる。

# 【0008】

また、分極を持たない高速液晶の例として、OCBモードの液晶を用いた液晶表示装置が、アイ・ディー・アール・シー97のL-66頁(IDRC97、p. L-66)に記載されている。OCBモード液晶は、TN液晶のベンド配向を利用したものであり、従来のTN液晶に比べて一桁以上高速にスイッチングすることができる。また、二軸性の位相差補償フィルムを併用することにより、広視

野角な表示を得ることができる。

また、近年、高速液晶、たとえば強誘電性液晶、又はOCBモード液晶等を用いて、時分割駆動方式のカラー液晶表示装置の研究開発が活発化してきている。たとえば、特開平7-64051には、強誘電性液晶を用いた時分割駆動方式の液晶表示装置が開示されている。また、アイ・ディー・アール・シー97の37頁(IDRC97、p. 37)には、OCBモード液晶を用いた時分割駆動方式カラー液晶表示装置が報告されている。時分割駆動方式の液晶表示装置では、液晶に入射する光を1フィールドの期間に赤色、緑色、青色と順次切り換えることにより、カラー表示を実現する。そのため、少なくとも1フィールド期間の $1/3$ 以下で応答する高速液晶が必要となる。時分割駆動方式の液晶表示装置をノートPC、モニタ等の直視型液晶表示装置に適用した場合、カラーフィルタが不要となり、液晶表示装置の低価格化を図ることができる。また、プロジェクタ装置に適用した場合には、3板方式の液晶ライトバルブと同様な高い開口率と、カラー表示を単板の液晶表示装置で実現することができ、小型、軽量、低価格、高輝度な液晶プロジェクタ装置を提供することができる。

#### 【0009】

##### 【発明が解決しようとする課題】

以上説明したような従来の画素構成、駆動方法により、TN液晶、分極を有する強誘電性液晶又は反強誘電性液晶、1フィールド期間内に応答する高速TN液晶を駆動した場合、以下に述べる問題が発生する。

#### 【0010】

前述のように、TN液晶を図59に示した画素構成により駆動した場合、図61に示すように、画素電圧 $V_{pix}$ は、保持期間における液晶容量の変化によって $\Delta V_1 \sim \Delta V_3$ の電圧変動が生じる。この電圧変動量は、液晶分子の動作する量により変化するため、同じデータ信号を書き込んだ場合においても、前のフィールドで書き込まれたデータ信号に依存するため、液晶に対して本来書き込みたい電圧を保持期間にわたって常に印加することができないという問題が生じる。その結果、液晶の光透過率は、本来、図61のT0で示される曲線になるべきであるが、前述のようにT1で示される曲線となってしまう、正確な階調表示を

することができない。従来、電圧変動 $\Delta V_1 \sim \Delta V_3$ を小さくするために、蓄積容量を大きく設計する解決方法が為されているが、その場合開口率が小さくなるという問題が生じる。

## 【0011】

また、分極を有する強誘電性液晶又は反強誘電性液晶を駆動した場合には、図63に示すように、画素電圧 $V_{pix}$ は、保持期間における分極のスイッチングによって $\Delta V_1 \sim \Delta V_3$ に示す電圧変動が生じる。この電圧変動は、前述のように、図62に示した高周波容量 $C_{pix}$ に保持された電荷と、分極による容量 $C_{sp}$ に保持された電荷との電荷再配分によるものである。ここで、 $C_{sp}$ は、 $C_{pix}$ に比べて、5～100倍大きな値を持っている。そのため、電圧変動 $\Delta V_1 \sim \Delta V_3$ は、1～2ボルトを越える大きな量となり、データ信号の振幅を大きくする必要がある。その結果、液晶表示装置の消費電力が大きくなり、また、信号処理回路、周辺駆動回路および画素トランジスタを高耐圧化する必要性が生じ、液晶表示装置の価格が高くなるという問題が生じる。さらに、前のフィールドで書き込んだデータ信号によって、電圧変動 $\Delta V_1 \sim \Delta V_3$ の量が変わるため、液晶の光透過率は、本来、図62のT0で示される曲線になるべきであるが、前述のようにT1で示される曲線となってしまう、1フィールド毎に正確な階調制御ができなくなる。したがって、時分割駆動方式の液晶表示装置に適用した場合、色再現性の良いカラー表示を行うことはできない。

## 【0012】

上述の分極を有する液晶材料を用いた液晶表示装置と同様な問題が、OCBモード液晶を用いた液晶表示装置においても発生する。

## 【0013】

特開平7-64051には、これらの問題を解決するために、単結晶シリコントランジスタを用いた液晶表示装置が開示されているが、特開平7-64051の図18に示された構成では、ソースフォロワ型のアンプとして動作するトランジスタQ2のリセットが為されないという問題がある。そのため、前に書き込んだデータ信号よりも低い電圧のデータ信号が入力されてもトランジスタQ2はオフ状態のままになっており、そのデータ信号に対応した電圧を出力することがで

きない。また、特開平 7-64051 の図 18 に示された構成では、トランジスタ Q2 は、絵素電極 10 にデータ信号を出力した後はオフ状態となってしまうため、その後、強誘電性液晶の分極電流が流れると、絵素電極の電圧が変動してしまうという前述した問題と同様の問題が発生する。

【0014】

本発明の目的は、TN 液晶、分極を有する強誘電性液晶又は反強誘電性液晶、および 1 フィールド期間内に応答するその他の高速液晶を用いた液晶表示装置において、上述の電圧変動  $\Delta V1 \sim \Delta V3$  を無くすことにより、小型、軽量、高開口率、高速、高視野、高階調、低消費電力、低価格な液晶表示装置を提供することである。

【0015】

【課題を解決するための手段】

上記目的を達成するために、本発明の第 1 発明の液晶表示装置は、複数の走査線と複数の信号線との各交点付近に夫々配設された MOS 型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記 MOS 型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続された MOS トランジスタと、入力電極が前記 MOS トランジスタのソース電極及びドレイン電極の他方に接続され、出力電極が画素電極に接続された MOS 型アナログアンプ回路と、前記 MOS 型アナログアンプ回路の入力電極と電圧保持容量電極との間に形成された電圧保持容量とから成ることを特徴としている。

【0016】

好ましくは、上記液晶表示装置において、前記 MOS 型トランジスタ回路は、薄膜トランジスタを集積して形成される。

【0017】

また、好ましくは、液晶材料として、ネマティック液晶、又は強誘電性液晶、又は反強誘電性液晶、又は無関反強誘電性液晶、又は歪螺旋強誘電性液晶、又はねじれ強誘電性液晶、又は単安定強誘電性液晶を用い。

【0018】

本発明の第1の液晶表示装置駆動方法は、上記第1発明の液晶表示装置を駆動する方法であって、走査線選択期間では、前記MOSトランジスタを経由してデータ信号を電圧保持容量に記憶させ、走査線選択期間および走査線非選択期間では、前記MOS型アナログアンプ回路を経由して、その記憶されたデータ信号に対応した信号を画素電極に書き込むことを特徴としている。

## 【0019】

本発明の第2発明の液晶表示装置は、複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続されたn型MOSトランジスタと、ゲート電極が前記n型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が前記走査線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続されたp型MOSトランジスタと、前記p型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、前記画素電極と前記電圧保持容量電極の間に接続された抵抗とから成ることを特徴としている。

## 【0020】

また、本発明の第3発明の液晶表示装置は、複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続されたn型MOSトランジスタと、ゲート電極が前記n型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が前記走査線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第1のp型MOSトランジスタと、前記第1のp型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極が電圧調整可能な電源線に接続され、ソース電極が前記電圧保持容量電極に接続され、ドレイン電極が前記画素電極に接続され

た第2のp型MOSトランジスタとから成ることを特徴としている。

【0021】

また、本発明の第4発明の液晶表示装置は、複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続されたn型MOSトランジスタと、ゲート電極が前記n型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が前記走査線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第1のp型MOSトランジスタと、前記第1のp型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極が前記電圧保持容量電極に接続され、ソース電極が電圧調整可能な電源線に接続され、ドレイン電極が前記画素電極に接続された第2のp型MOSトランジスタとから成ることを特徴としている。

【0022】

また、本発明の第5発明の液晶表示装置は、複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続されたn型MOSトランジスタと、ゲート電極が前記n型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が前記走査線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第1のp型MOSトランジスタと、前記第1のp型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極およびソース電極が前記電圧保持容量電極に接続され、ドレイン電極が前記画素電極に接続された第2のp型MOSトランジスタとから成ることを特徴としている。

【0023】

本発明の第2発明の液晶表示装置において、好ましくは、前記抵抗の値は、液

晶の応答時定数を決めている抵抗成分の値以下に設定する。また、好ましくは、前記抵抗は、半導体薄膜、又は不純物ドーピングされた半導体薄膜で形成される。

#### 【0024】

本発明の第2～5発明において、好ましくは、前記第2のp型MOSトランジスタのソース・ドレイン間抵抗の値が、液晶の応答時定数を決めている抵抗成分の値以下に設定される。また、前記MOS型トランジスタ回路が、薄膜トランジスタを集積して形成されることも好ましい。また、液晶材料が、ネマティック液晶、強誘電性液晶、反強誘電性液晶、無閾反強誘電性液晶、歪螺旋強誘電性液晶、ねじれ強誘電性液晶、又は、単安定強誘電性液晶であることも好ましい。

#### 【0025】

また、本発明の第2の液晶表示装置駆動方法は、上記第2～5発明の液晶表示装置を駆動する方法であって、前記電圧保持容量電極には、前記データ信号の最大電圧よりも大きい電圧を供給し、走査線選択期間では、走査パルス信号により、前記n型MOSトランジスタを経由してデータ信号を前記電圧保持容量に記憶させるとともに、前記p型MOSトランジスタ又は前記第1のp型MOSトランジスタを経由して走査パルス信号を前記画素電極に伝達することにより、前記p型MOSトランジスタ又は前記第1のp型MOSトランジスタをリセット状態にし、走査線選択期間が終了した後に、前記p型MOSトランジスタ又は前記第1のp型MOSトランジスタを経由して、前記記憶されたデータ信号に対応した信号を画素電極に書き込むことを特徴としている。

#### 【0026】

また、本発明の第6発明の液晶表示装置は、複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続されたp型MOSトランジスタと、ゲート電極が前記p型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が前記走査線に接続され、ソース電極及びドレイン



電極の他方が前記画素電極に接続されたn型MOSトランジスタと、前記n型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、前記画素電極と前記電圧保持容量電極の間に接続された抵抗とから成ることを特徴としている。

## 【0027】

また、本発明の第7発明の液晶表示装置は、複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続されたp型MOSトランジスタと、ゲート電極が前記p型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が前記走査線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第1のn型MOSトランジスタと、前記第1のn型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極が電圧調整可能なバイアス電源線に接続され、ソース電極が前記電圧保持容量電極に接続され、ドレイン電極が前記画素電極に接続された第2のn型MOSトランジスタとから成ることを特徴としている。

## 【0028】

また、本発明の第8発明の液晶表示装置は、複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続されたp型MOSトランジスタと、ゲート電極が前記p型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が前記走査線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第1のn型MOSトランジスタと、前記第1のn型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極が前記電圧保持容量電極に接続され、ソース電極が電圧調整可能な電源線に接続され、ドレイン電極が前記画素電極に接続され

た第2のn型MOSトランジスタとから成ることを特徴としている。

## 【0029】

また、本発明の第9発明の液晶表示装置は、複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続されたp型MOSトランジスタと、ゲート電極が前記p型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が前記走査線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第1のn型MOSトランジスタと、前記第1のn型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極およびソース電極が前記電圧保持容量電極に接続され、ドレイン電極が前記画素電極に接続された第2のn型MOSトランジスタとから成ることを特徴としている。

## 【0030】

本発明の第6発明の液晶表示装置において、好ましくは、前記抵抗の値は、液晶の応答時定数を決めている抵抗成分の値以下に設定する。また、前記抵抗は、半導体薄膜、又は不純物ドーピングされた半導体薄膜で形成することも好ましい。

## 【0031】

また、本発明の第7～9発明において、好ましくは、前記第2のn型MOSトランジスタのソース・ドレイン間抵抗の値が、液晶の応答時定数を決めている抵抗成分の値以下に設定される。

## 【0032】

本発明の第6～9発明において、好ましくは、前記MOS型トランジスタ回路は、薄膜トランジスタを集積して形成される。また、液晶材料が、ネマティック液晶、強誘電性液晶、反強誘電性液晶、無関反強誘電性液晶、歪螺旋強誘電性液晶、ねじれ強誘電性液晶、又は、単安定強誘電性液晶であることも好ましい。

## 【0033】

本発明の第3の液晶表示装置駆動方法は、本発明の第6～9の液晶表示装置を駆動する方法であって、前記電圧保持容量電極には、前記データ信号の最小電圧よりも小さい電圧を供給し、走査線選択期間では、走査パルス信号により、前記p型MOSトランジスタを経由してデータ信号を前記電圧保持容量に記憶させるとともに、前記n型MOSトランジスタ又は前記第1のn型MOSトランジスタを経由して走査パルス信号を前記画素電極に伝達することにより、前記n型MOSトランジスタ又は前記第1のn型MOSトランジスタをリセット状態にし、走査線選択期間が終了した後に、前記n型MOSトランジスタ又は前記第1のn型MOSトランジスタを経由して、前記記憶されたデータ信号に対応した信号を画素電極に書き込むことを特徴としている。

## 【0034】

本発明の第10発明の液晶表示装置は、複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極がN番目（Nは2以上の整数）の前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続されたn型MOSトランジスタと、ゲート電極が前記n型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が（N-1）番目の前記走査線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続されたp型MOSトランジスタと、前記p型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、前記画素電極と前記電圧保持容量電極の間に接続された抵抗とから成ることを特徴としている。

## 【0035】

本発明の第11発明の液晶表示装置は、複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極がN番目（Nは2以上の整数）の前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続されたn型MOSトランジスタと、ゲート電極が前記n型MOSトランジスタのソース電極及びドレイン電極

の他方に接続され、ソース電極及びドレイン電極の一方が(N-1)番目の前記走査線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第1のp型MOSトランジスタと、前記第1のp型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極が電圧調整可能なバイアス電源線に接続され、ソース電極が前記電圧保持容量電極に接続され、ドレイン電極が前記画素電極に接続された第2のp型MOSトランジスタとから成ることを特徴としている。

## 【0036】

本発明の第12発明の液晶表示装置は、複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極がN番目(Nは2以上の整数)の前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続されたn型MOSトランジスタと、ゲート電極が前記n型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が(N-1)番目の前記走査線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第1のp型MOSトランジスタと、前記第1のp型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極が前記電圧保持容量電極に接続され、ソース電極が電圧調整可能な電源線に接続され、ドレイン電極が前記画素電極に接続された第2のp型MOSトランジスタとから成ることを特徴としている。

## 【0037】

本発明の第13発明の液晶表示装置は、複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極がN番目(Nは2以上の整数)の前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続されたn型MOSトランジスタと、ゲート電極が前記n型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が(N-1)番目の前記

走査線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第1のp型MOSトランジスタと、前記第1のp型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極およびソース電極が前記電圧保持容量電極に接続され、ドレイン電極が前記画素電極に接続された第2のp型MOSトランジスタとから成ることを特徴とする。

【0038】

本発明の第10発明の液晶表示装置において、好ましくは、前記抵抗の値は、液晶の応答時定数を決めている抵抗成分の値以下に設定する。また、前記抵抗は、半導体薄膜、又は不純物ドーピングされた半導体薄膜で形成することも好ましい。

【0039】

本発明の第11～13発明において、好ましくは、前記第2のp型MOSトランジスタのソース・ドレイン間抵抗の値が、液晶の応答時定数を決めている抵抗成分の値以下に設定される。

【0040】

本発明の第10～14発明において、好ましくは、前記MOS型トランジスタ回路は、薄膜トランジスタを集積して形成される。また、液晶材料が、ネマティック液晶、強誘電性液晶、反強誘電性液晶、無閾反強誘電性液晶、歪螺旋強誘電性液晶、ねじれ強誘電性液晶、又は、単安定強誘電性液晶であることも好ましい。

【0041】

本発明の第4の液晶表示装置駆動方法は、本発明の第10～13発明の液晶表示装置を駆動する方法であって、前記電圧保持容量電極には、前記データ信号の最大電圧よりも大きい電圧を供給し、前ラインの走査線選択期間では、前記p型MOSトランジスタ又は前記第1のp型MOSトランジスタを経由して前ラインの走査パルス信号を前記画素電極に伝達することにより、前記p型MOSトランジスタ又は前記第1のp型MOSトランジスタをリセット状態にし、走査線選択期間では、走査パルス信号により、前記n型MOSトランジスタを経由してデータ信号を前記電圧保持容量に記憶させるとともに、前記p型MOSトランジスタ

又は前記第1のp型MOSトランジスタを経由して、前記記憶されたデータ信号に対応した信号を画素電極に書き込み、走査線選択期間が終了した後も引き続き、前記p型MOSトランジスタ又は前記第1のp型MOSトランジスタを経由して、前記記憶されたデータ信号に対応した信号を画素電極に書き込むことを特徴としている。

#### 【0042】

本発明の第14発明の液晶表示装置は、複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極がN番目（Nは2以上の整数）の前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続されたp型MOSトランジスタと、ゲート電極が前記p型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が（N-1）番目の前記走査線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続されたn型MOSトランジスタと、前記n型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、前記画素電極と前記電圧保持容量電極の間に接続された抵抗とから成ることを特徴としている。

#### 【0043】

本発明の第15発明の液晶表示装置は、複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極がN番目（Nは2以上の整数）の前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続されたp型MOSトランジスタと、ゲート電極が前記p型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が（N-1）番目の前記走査線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第1のn型MOSトランジスタと、前記第1のn型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極が電圧調整可能なバイアス電源線に接続され、ソース電極が前記電圧保持容量電極

に接続され、ドレイン電極が前記画素電極に接続された第2のn型MOSトランジスタとから成ることを特徴としている。

## 【0044】

本発明の第16発明の液晶表示装置は、複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極がN番目（Nは2以上の整数）の前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続されたp型MOSトランジスタと、ゲート電極が前記p型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が（N-1）番目の前記走査線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第1のn型MOSトランジスタと、前記第1のn型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極が前記電圧保持容量電極に接続され、ソース電極が電圧調整可能な電源線に接続され、ドレイン電極が前記画素電極に接続された第2のn型MOSトランジスタとから成ることを特徴としている。

## 【0045】

本発明の第17発明の液晶表示装置は、複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極がN番目（Nは2以上の整数）の前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続されたp型MOSトランジスタと、ゲート電極が前記p型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が（N-1）番目の前記走査線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第1のn型MOSトランジスタと、前記第1のn型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極およびソース電極が前記電圧保持容量電極に接続され、ドレイン電極が前記画素電極に接続された第2のn型MOSトランジスタとから成ることを特徴としている。

## 【0046】

本発明の第14発明の液晶表示装置において、好ましくは、前記抵抗の値は、液晶の応答時定数を決めている抵抗成分の値以下に設定する。また、前記抵抗は、半導体薄膜、又は不純物ドーピングされた半導体薄膜で形成することも好ましい。

## 【0047】

本発明の第15～17発明において、好ましくは、前記第2のn型MOSトランジスタのソース・ドレイン間抵抗の値が、液晶の応答時定数を決めている抵抗成分の値以下に設定される。

## 【0048】

本発明の第14～17発明において、好ましくは、前記MOS型トランジスタ回路は、薄膜トランジスタを集積して形成される。また、液晶材料が、ネマティック液晶、強誘電性液晶、反強誘電性液晶、無関反強誘電性液晶、歪螺旋強誘電性液晶、ねじれ強誘電性液晶、又は、単安定強誘電性液晶であることも好ましい。

## 【0049】

本発明の第5の液晶表示装置駆動方法は、本発明の第14～17発明の液晶表示装置を駆動する方法であって、前記電圧保持容量電極には、前記データ信号の最小電圧よりも小さい電圧を供給し、前ラインの走査線選択期間では、前記n型MOSトランジスタ又は前記第1のn型MOSトランジスタを経由して前ラインの走査パルス信号を前記画素電極に伝達することにより、前記n型MOSトランジスタ又は前記第1のn型MOSトランジスタをリセット状態にし、走査線選択期間では、走査パルス信号により、前記p型MOSトランジスタを経由してデータ信号を前記電圧保持容量に記憶させるとともに、前記n型MOSトランジスタ又は前記第1のn型MOSトランジスタを経由して、前記記憶されたデータ信号に対応した信号を画素電極に書き込み、走査線選択期間が終了した後も引き続き、前記n型MOSトランジスタ又は前記第1のn型MOSトランジスタを経由して、前記記憶されたデータ信号に対応した信号を画素電極に書き込むことを特徴



としている。

【0050】

本発明の第18発明の液晶表示装置は、複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続されたn型MOSトランジスタと、ゲート電極が前記n型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセット電極に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続されたp型MOSトランジスタと、前記p型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、前記画素電極と前記電圧保持容量電極の間に接続された抵抗とから成ることを特徴としている。

【0051】

本発明の第19発明の液晶表示装置は、複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続されたn型MOSトランジスタと、ゲート電極が前記n型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセット信号線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第1のp型MOSトランジスタと、前記第1のp型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極が電圧調整可能なバイアス電源線に接続され、ソース電極が前記電圧保持容量電極に接続され、ドレイン電極が前記画素電極に接続された第2のp型MOSトランジスタとから成ることを特徴とする液晶表示装置。

【0052】

本発明の第20発明の液晶表示装置は、複数の走査線と複数の信号線との各交

点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続されたn型MOSトランジスタと、ゲート電極が前記n型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセット信号線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第1のp型MOSトランジスタと、前記第1のp型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極が前記電圧保持容量電極に接続され、ソース電極が電圧調整可能な電源線に接続され、ドレイン電極が前記画素電極に接続された第2のp型MOSトランジスタとから成ることを特徴としている。

## 【0053】

本発明の第21発明の液晶表示装置は、複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続されたn型MOSトランジスタと、ゲート電極が前記n型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセット信号線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第1のp型MOSトランジスタと、前記第1のp型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極およびソース電極が前記電圧保持容量電極に接続され、ドレイン電極が前記画素電極に接続された第2のp型MOSトランジスタとから成ることを特徴としている。

## 【0054】

本発明の第18発明において、好ましくは、前記抵抗の値は、液晶の応答時定数を決めている抵抗成分の値以下に設定する。また、前記抵抗は、半導体薄膜、又は不純物ドーピングされた半導体薄膜で形成されることが好ましい。

## 【0055】

本発明の第19～21発明の液晶表示装置において、好ましくは、前記第2のp型MOSトランジスタのソース・ドレイン間抵抗の値が、液晶の応答時定数を決めている抵抗成分の値以下に設定される。

## 【0056】

本発明の第18～21発明の液晶表示装置において、好ましくは、前記MOS型トランジスタ回路は、薄膜トランジスタを集積して形成される。また、液晶材料が、ネマティック液晶、強誘電性液晶、反強誘電性液晶、無閾反強誘電性液晶、歪螺旋強誘電性液晶、ねじれ強誘電性液晶、又は、単安定強誘電性液晶であることも好ましい。

## 【0057】

本発明の第6の液晶表示装置駆動方法は、本発明の第18～21発明の液晶表示装置を駆動する方法であって、前記電圧保持容量電極には、前記データ信号の最大電圧よりも大きい電圧を供給し、走査線選択期間より前の時間において、前記p型MOSトランジスタ又は前記第1のp型MOSトランジスタを経由してリセット信号を前記画素電極に伝達することにより、前記p型MOSトランジスタ又は前記第1のp型MOSトランジスタをリセット状態にし、走査線選択期間では、走査パルス信号により、前記n型MOSトランジスタを経由してデータ信号を前記電圧保持容量に記憶させるとともに、前記p型MOSトランジスタ又は前記第1のp型MOSトランジスタを経由して、前記記憶されたデータ信号に対応した信号を画素電極に書き込み、走査線選択期間が終了した後も引き続き、前記p型MOSトランジスタ又は前記第1のp型MOSトランジスタを経由して、前記記憶されたデータ信号に対応した信号を画素電極に書き込むことを特徴としている。

## 【0058】

本発明の第7の液晶表示装置駆動方法は、本発明の第18～21発明の液晶表示装置を駆動する方法であって、前記電圧保持容量電極には、前記データ信号の最大電圧よりも大きい電圧を供給し、走査線選択期間では、走査パルス信号により、前記n型MOSトランジスタを経由してデータ信号を前記電圧保持容量に記憶させるとともに、前記p型MOSトランジスタ又は前記第1のp型MOSトラ

ンジスタを経由してリセット信号を前記画素電極に伝達することにより、前記 p 型 MOS トランジスタ又は前記第 1 の p 型 MOS トランジスタをリセット状態にし、走査線選択期間が終了した後に、前記 p 型 MOS トランジスタ又は前記第 1 の p 型 MOS トランジスタを経由して、前記記憶されたデータ信号に対応した信号を画素電極に書き込むことを特徴としている。

## 【0059】

本発明の第 2 2 発明の液晶表示装置は、複数の走査線と複数の信号線との各交点付近に夫々配設された MOS 型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記 MOS 型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続された p 型 MOS トランジスタと、ゲート電極が前記 p 型 MOS トランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセット信号線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された n 型 MOS トランジスタと、前記 n 型 MOS トランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、前記画素電極と前記電圧保持容量電極の間に接続された抵抗とから成ることを特徴としている。

## 【0060】

本発明の第 2 3 発明の液晶表示装置は、複数の走査線と複数の信号線との各交点付近に夫々配設された MOS 型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記 MOS 型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続された p 型 MOS トランジスタと、ゲート電極が前記 p 型 MOS トランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセット信号線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第 1 の n 型 MOS トランジスタと、前記第 1 の n 型 MOS トランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極が電圧調整可能なバイアス電源線に接続され、ソース電極が前記電圧保持容量電極に接続され、ドレイン電極が前記画素電極に

接続された第2のn型MOSトランジスタとから成ることを特徴としている。

本発明の第24発明の液晶表示装置は、複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続されたp型MOSトランジスタと、ゲート電極が前記p型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセット信号線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第1のn型MOSトランジスタと、前記第1のn型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極が前記電圧保持容量電極に接続され、ソース電極が電圧調整可能な電源線に接続され、ドレイン電極が前記画素電極に接続された第2のn型MOSトランジスタとから成ることを特徴としている。

#### 【0061】

本発明の第25発明の液晶表示装置は、複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続されたp型MOSトランジスタと、ゲート電極が前記p型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセット信号線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第1のn型MOSトランジスタと、前記第1のn型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極およびソース電極が前記電圧保持容量電極に接続され、ドレイン電極が前記画素電極に接続された第2のn型MOSトランジスタとから成ることを特徴としている。

#### 【0062】

本発明の第22発明の液晶表示装置において、好ましくは、前記抵抗の値は、液晶の応答時定数を決めている抵抗成分の値以下に設定する。また、前記抵抗は

、半導体薄膜、又は不純物ドーピングされた半導体薄膜で形成される。

【0063】

本発明の第23～25発明の液晶表示装置において、好ましくは、前記第2のn型MOSトランジスタのソース・ドレイン間抵抗の値が、液晶の応答時定数を決めている抵抗成分の値以下に設定される。

【0064】

本発明の第22～25発明の液晶表示装置において、好ましくは、前記MOS型トランジスタ回路は、薄膜トランジスタを集積して形成される。また、液晶材料が、ネマティック液晶、強誘電性液晶、反強誘電性液晶、無関反強誘電性液晶、歪螺旋強誘電性液晶、ねじれ強誘電性液晶、又は、単安定強誘電性液晶であることも好ましい。

【0065】

本発明の第8の液晶表示装置駆動方法は、本発明の第22～25発明の液晶表示装置を駆動する方法であって、前記電圧保持容量電極には、前記データ信号の最小電圧よりも小さい電圧を供給し、走査線選択期間より前の時間において、前記n型MOSトランジスタ又は前記第1のn型MOSトランジスタを経由してリセット信号を前記画素電極に伝達することにより、前記n型MOSトランジスタ又は前記第1のn型MOSトランジスタをリセット状態にし、走査線選択期間では、走査パルス信号により、前記p型MOSトランジスタを経由してデータ信号を前記電圧保持容量に記憶させるとともに、前記n型MOSトランジスタ又は前記第1のn型MOSトランジスタを経由して、前記記憶されたデータ信号に対応した信号を画素電極に書き込み、走査線選択期間が終了した後も引き続き、前記n型MOSトランジスタ又は前記第1のn型MOSトランジスタを経由して、前記記憶されたデータ信号に対応した信号を画素電極に書き込むことを特徴としている。

【0066】

本発明の第9の液晶表示装置駆動方法は、本発明の第22～25発明の液晶表示装置を駆動する方法であって、前記電圧保持容量電極には、前記データ信号の最小電圧よりも小さい電圧を供給し、走査線選択期間では、走査パルス信号によ

り、前記 p 型 MOS トランジスタを経由してデータ信号を前記電圧保持容量に記憶させるとともに、前記 n 型 MOS トランジスタ又は前記第 1 の n 型 MOS トランジスタを経由してリセット信号を前記画素電極に伝達することにより、前記 n 型 MOS トランジスタ又は前記第 1 の n 型 MOS トランジスタをリセット状態にし、走査線選択期間が終了した後に、前記 n 型 MOS トランジスタ又は前記第 1 の n 型 MOS トランジスタを経由して、前記記憶されたデータ信号に対応した信号を画素電極に書き込むことを特徴としている。

## 【0067】

本発明の第 26 発明の液晶表示装置は、複数の走査線と複数の信号線との各交点付近に夫々配設された MOS 型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記 MOS 型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続された第 1 の n 型 MOS トランジスタと、ゲート電極が前記第 1 の n 型 MOS トランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセット信号線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第 2 の n 型 MOS トランジスタと、前記第 2 の n 型 MOS トランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、前記画素電極と前記電圧保持容量電極の間に接続された抵抗とから成ることを特徴としている。

## 【0068】

本発明の第 27 発明の液晶表示装置は、複数の走査線と複数の信号線との各交点付近に夫々配設された MOS 型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記 MOS 型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続された第 1 の n 型 MOS トランジスタと、ゲート電極が前記第 1 の n 型 MOS トランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセット信号線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第 2 の n 型 MOS トランジスタと、前記第 2 の n 型 MOS トランジスタのゲート電極と電圧保持容量電極と

の間に形成された電圧保持容量と、ゲート電極が電圧調整可能なバイアス電源線に接続され、ソース電極が前記電圧保持容量電極に接続され、ドレイン電極が前記画素電極に接続された第3のn型MOSトランジスタとから成ることを特徴としている。

## 【0069】

本発明の第28発明の液晶表示装置は、複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続された第1のn型MOSトランジスタと、ゲート電極が前記第1のn型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセット信号線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第2のn型MOSトランジスタと、前記第2のn型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極が前記電圧保持容量電極に接続され、ソース電極が電圧調整可能なバイアス電源線に接続され、ドレイン電極が前記画素電極に接続された第3のn型MOSトランジスタとから成ることを特徴としている。

## 【0070】

本発明の第29発明の液晶表示装置は、複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続された第1のn型MOSトランジスタと、ゲート電極が前記第1のn型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセット信号線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第2のn型MOSトランジスタと、前記第2のn型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極およびソース電極が前記電圧保持



容量電極に接続され、ドレイン電極が前記画素電極に接続された第3のn型MOSトランジスタとから成ることを特徴としている。

【0071】

本発明の第26発明において、好ましくは、前記抵抗の値は、液晶の応答時定数を決めている抵抗成分の値以下に設定する。また、前記抵抗は、半導体薄膜、又は不純物ドーピングされた半導体薄膜で形成される。

【0072】

本発明の第27～29発明において、好ましくは、前記第3のn型MOSトランジスタのソース・ドレイン間抵抗の値が、液晶の応答時定数を決めている抵抗成分の値以下に設定される。

【0073】

本発明の第26～29発明において、好ましくは、前記MOS型トランジスタ回路は、薄膜トランジスタを集積して形成される。また、液晶材料が、ネマティック液晶、強誘電性液晶、反強誘電性液晶、無閾反強誘電性液晶、歪螺旋強誘電性液晶、ねじれ強誘電性液晶、又は、単安定強誘電性液晶であることも好ましい。

【0074】

本発明の第10の液晶表示装置の駆動方法は、本発明の第26～29発明の液晶表示装置を駆動する方法であって、前記電圧保持容量電極には、前記データ信号の最小電圧よりも小さい電圧を供給し、走査線選択期間より前の時間において、前記第2のn型MOSトランジスタを経由してリセット信号を前記画素電極に伝達することにより、前記第2のn型MOSトランジスタをリセット状態にし、走査線選択期間では、走査パルス信号により、前記第1のn型MOSトランジスタを経由してデータ信号を前記電圧保持容量に記憶させるとともに、前記第2のn型MOSトランジスタを経由して、前記記憶されたデータ信号に対応した信号を画素電極に書き込み、走査線選択期間が終了した後も引き続き、前記第2のn型MOSトランジスタを経由して、前記記憶されたデータ信号に対応した信号を画素電極に書き込むことを特徴としている。

【0075】

本発明の第11の液晶表示装置の駆動方法は、本発明の第26～29発明の液晶表示装置を駆動する方法であって、前記電圧保持容量電極には、前記データ信号の最小電圧よりも小さい電圧を供給し、走査線選択期間では、走査パルス信号により、前記第1のn型MOSトランジスタを経由してデータ信号を前記電圧保持容量に記憶させるとともに、前記第2のn型MOSトランジスタを経由してリセット信号を前記画素電極に伝達することにより、前記第2のn型MOSトランジスタをリセット状態にし、走査線選択期間が終了した後に、前記第2のn型MOSトランジスタを経由して、前記記憶されたデータ信号に対応した信号を画素電極に書き込むことを特徴としている。

## 【0076】

本発明の第30の液晶表示装置は、複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続された第1のp型MOSトランジスタと、ゲート電極が前記第1のp型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセット信号線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第2のp型MOSトランジスタと、前記第2のp型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、前記画素電極と前記電圧保持容量電極の間に接続された抵抗とから成ることを特徴としている。

## 【0077】

本発明の第31発明の液晶表示装置は、複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続された第1のp型MOSトランジスタと、ゲート電極が前記第1のp型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセット信号線に接続され、ソース電極

及びドレイン電極の他方が前記画素電極に接続された第2のp型MOSトランジスタと、前記第2のp型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極が電圧調整可能なバイアス電源線に接続され、ソース電極が前記電圧保持容量電極に接続され、ドレイン電極が前記画素電極に接続された第3のp型MOSトランジスタとから成ることを特徴としている。

## 【0078】

本発明の第32発明の液晶表示装置は、複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続された第1のp型MOSトランジスタと、ゲート電極が前記第1のp型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセット信号線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第2のp型MOSトランジスタと、前記第2のp型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極が前記電圧保持容量電極に接続され、ソース電極が電圧調整可能なバイアス電源線に接続され、ドレイン電極が前記画素電極に接続された第3のp型MOSトランジスタとから成ることを特徴としている。

## 【0079】

本発明の第33発明の液晶表示装置は、複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続された第1のp型MOSトランジスタと、ゲート電極が前記第1のp型MOSトランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセット信号線に接続され、ソース電極及びドレイン電極の他方が前記画素電極に接続された第2のp型MOSトランジ

スタと、前記第2のp型MOSトランジスタのゲート電極と電圧保持容量電極との間に形成された電圧保持容量と、ゲート電極およびソース電極が前記電圧保持容量電極に接続され、ドレイン電極が前記画素電極に接続された第3のp型MOSトランジスタとから成ることを特徴としている。

## 【0080】

本発明の第30発明の液晶表示装置において、好ましくは、前記抵抗の値は、液晶の応答時定数を決めている抵抗成分の値以下に設定する。また、前記抵抗は、半導体薄膜、又は不純物ドーピングされた半導体薄膜で形成される。

## 【0081】

本発明の第31～33発明の液晶表示装置において、好ましくは、前記第3のp型MOSトランジスタのソース・ドレイン間抵抗の値が、液晶の応答時定数を決めている抵抗成分の値以下に設定される。

## 【0082】

本発明の第30～33発明の液晶表示装置において、好ましくは、前記MOS型トランジスタ回路は、薄膜トランジスタを集積して形成されてる。また、液晶材料が、ネマティック液晶、強誘電性液晶、反強誘電性液晶、無関反強誘電性液晶、歪螺旋強誘電性液晶、ねじれ強誘電性液晶、単安定強誘電性液晶であることも好ましい。

## 【0083】

本発明の第12の液晶表示装置の駆動方法は、本発明の第30～33の液晶表示装置を駆動する方法であって、前記電圧保持容量電極には、前記データ信号の最大電圧よりも大きい電圧を供給し、走査線選択期間より前の時間において、前記第2のp型MOSトランジスタを経由してリセット信号を前記画素電極に伝達することにより、前記第2のp型MOSトランジスタをリセット状態にし、走査線選択期間では、走査パルス信号により、前記第1のp型MOSトランジスタを経由してデータ信号を前記電圧保持容量に記憶させるとともに、前記第2のp型MOSトランジスタを経由して、前記記憶されたデータ信号に対応した信号を画素電極に書き込み、走査線選択期間が終了した後も引き続き、前記第2のp型MOSトランジスタを経由して、前記記憶されたデータ信号に対応した信号を画素

電極に書き込むことを特徴としている。

【0084】

本発明の第13の液晶表示装置駆動方法は、本発明の第30～33の液晶表示装置を駆動する方法であって、前記電圧保持容量電極には、前記データ信号の最大電圧よりも大きい電圧を供給し、走査線選択期間では、走査パルス信号により、前記第1のp型MOSトランジスタを経由してデータ信号を前記電圧保持容量に記憶させるとともに、前記第2のp型MOSトランジスタを経由してリセット信号を前記画素電極に伝達することにより、前記第2のp型MOSトランジスタをリセット状態にし、走査線選択期間が終了した後に、前記第2のp型MOSトランジスタを経由して、前記記憶されたデータ信号に対応した信号を画素電極に書き込むことを特徴としている。

【0085】

本発明の第1～33の液晶表示装置を用い、1フレーム期間に、入射する光の色を切り換えて駆動することによりカラー表示を行う時分割駆動方式の液晶表示装置として構成することが好ましい。

【0086】

【発明の実施の形態】

本発明の第1の実施の形態について図面を参照して詳細に説明する。図1は、本発明の液晶表示装置の第1の実施の形態を示す図である。図に示すように、本発明の液晶表示装置は、ゲート電極が走査線101に接続され、ソース電極及びドレイン電極の一方が信号線102に接続されたMOS型トランジスタ(Qn)103と、入力電極がトランジスタ(Qn)103のソース電極及びドレイン電極の他方に接続され、出力電極が画素電極に接続されたアナログアンプ回路104と、前記アナログアンプ回路104の入力電極と電圧保持容量電極105との間に形成された電圧保持容量106と、画素電極107と対向電極108との間でスイッチングさせる液晶109とで構成されている。ここで、MOS型トランジスタ(Qn)103およびアナログアンプ回路104は、p-SiTFTで構成されている。また、アナログアンプ回路104のゲインは1倍に設定されている。

【0087】

以下、この画素構成を用いた液晶表示装置の駆動方法について、図2を用いて説明する。図2は、図1に示した画素構成により、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド期間内で応答するOCBモード液晶等の高速液晶を駆動した場合の、ゲート走査電圧 $V_g$ 、データ信号電圧 $V_d$ 、アンプ入力電圧 $V_a$ 、画素電圧 $V_{pix}$ のタイミングチャート、および液晶の光透過率の変化を示したものである。ここで、液晶は、電圧無印加時に暗い状態となる、いわゆるノーマリー・ブラックモードで動作する例を示している。図に示すように、ゲート走査電圧 $V_g$ が水平走査の期間、ハイレベル $V_{gH}$ となることによって、トランジスタ103はオン状態となり、信号線に入力されているデータ信号 $V_d$ がトランジスタ103を経由してアナログアンプ回路104の入力電極に転送される。水平走査期間が終了し、ゲート走査電圧 $V_g$ がローレベルとなると、トランジスタ(Qn)103はオフ状態となり、アナログアンプ回路の入力電極に転送されたデータ信号は電圧保持容量105により保持される。この際、アンプ入力電圧 $V_a$ は、トランジスタ(Qn)103がオフ状態になる時刻において、トランジスタ(Qn)103のゲート・ソース間容量を経由してフィードスルー電圧と呼ばれる電圧シフトを起こす。図2には、 $V_{f1}$ 、 $V_{f2}$ 、 $V_{f3}$ で示されており、この電圧シフト $V_{f1} \sim V_{f3}$ の量は、電圧保持容量105の値を大きく設計することにより小さくすることができる。アンプ入力電圧 $V_a$ は、次のフィールド期間において、再びゲート走査電圧 $V_g$ がハイレベルとなり、トランジスタ(Qn)103が選択されるまで保持される。アナログアンプ回路104は、次のフィールドでアンプ入力電圧が変化するまでの間、その保持されたアンプ入力電圧 $V_a$ に応じたアナログ階調電圧を出力することができる。この場合、水平走査期間終了後も画素電極107はアナログアンプ回路104によって駆動されるので、従来技術で述べたような液晶の応答に伴う画素電圧 $V_{pix}$ の変動を無くすることができる。その結果、図2の画素電圧 $V_{pix}$ の波形に示すように、1フィールド期間にわたって所望の電圧を液晶に印加することができ、液晶光透過率にも示されるように、1フィールド毎に所望の階調を得ることが可能となる。

## 【0088】

上記実施の形態では、MOS型トランジスタ ( $Q_n$ ) 103 およびアナログアンプ回路 104 は、 $p$ -Si TFT で形成すると述べたが、 $a$ -Si TFT、カドミウム・セレン薄膜トランジスタ (以下  $CdSe$  TFT と記す。) 等の他の薄膜トランジスタで形成しても良いし、単結晶シリコントランジスタで形成しても良い。また、上記実施の形態では、画素の選択スイッチとして、 $n$ 型MOSトランジスタを採用しているが、 $p$ 型MOSトランジスタを採用しても良い。その場合、ゲート走査信号として、選択時にローレベル、非選択時にハイレベルとなるパルス信号を入力する。また、上記実施の形態では、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド期間で応答するOCB液晶等の高速液晶を駆動する場合について説明したが、1フィールド期間内で完全に応答しないTN液晶等の他の液晶を駆動する場合についても、より正確な階調表示を実現できるという同様な効果が得られる。

## 【0089】

以上説明した、第1の実施の形態の液晶表示装置およびその駆動方法を、1フィールド (1フレーム) 期間に入射する光の色を切り換えてカラー表示を行う時分割駆動方式の液晶表示装置に適用したところ、色再現性の良い、高階調表示を実現することができた。これは、本発明の液晶表示装置が、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド (1フレーム) 期間内に応答するOCBモード液晶のような高速液晶を駆動した場合においても、液晶の応答に伴う画素電圧の変動が発生せず、1フィールド (1フレーム) 期間毎に所望の階調表示を行うことができるという特徴によるものである。この際、液晶材料として、無閾反強誘電性液晶を用いた。

## 【0090】

次に本発明の第2の実施の形態について図面を参照して詳細に説明する。図3は、本発明の液晶表示装置の第2の実施の形態を示す図である。図に示すように、本発明の液晶表示装置は、ゲート電極が走査線 101 に接続され、ソース電極及びドレイン電極の一方が信号線 102 に接続された  $n$ 型MOS型トランジスタ ( $Q_n$ ) 301 と、ゲート電極がその  $n$ 型MOSトランジスタ ( $Q_n$ ) 301 の

ソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が走査線 101 に接続され、ソース電極及びドレイン電極の他方が画素電極 107 に接続された p 型 MOS トランジスタ 302 と、その p 型 MOS トランジスタ 302 のゲート電極と電圧保持容量電極 105 との間に形成された電圧保持容量 106 と、画素電極 107 と電圧保持容量電極 105 の間に接続された抵抗  $R_L$  と、画素電極 107 と対向電極 108 との間でスイッチングさせる液晶 109 とで構成されている。ここで、n 型 MOS 型 トランジスタ ( $Q_n$ ) 301 および p 型 MOS トランジスタ ( $Q_p$ ) 302 は、p-Si TFT で構成されている。

また、抵抗  $R_L$  303 の値は、液晶の応答時定数を決めている抵抗成分の値以下に設定されている。すなわち、図 60、図 62 に示した液晶等価回路における抵抗  $R_r$ 、 $R_{sp}$  と、抵抗  $R_L$  303 は次式に示す関係となっている。

【0091】

$$R_L \leq R_r, R_L \leq R_{sp} \quad (1)$$

たとえば、抵抗  $R_{sp}$  が  $5\text{ G}\Omega$  である場合には、抵抗  $R_L$  は  $1\text{ G}\Omega$  程度の値に設定されてる。 $1\text{ G}\Omega$  という通常の半導体集積回路では用いられない大きな抵抗は、半導体薄膜か、もしくは不純物ドーピングされた半導体薄膜で形成する。

【0092】

図 4 は、抵抗  $R_L$  を、ライトリー・ドーピングされた p 型半導体薄膜 (p-) で形成した場合の構造例を示したものである。図 4 には、p 型 p-Si TFT 402 の構造も示してある。図に示すように、p 型 p-Si TFT 402 のソース・ドレイン電極の一方は走査線 405 に接続されており、他方は画素電極 107 に接続されている。ここで、抵抗を形成する p-層 404 部分は、式 (1) で示した条件を満たすように、不純物ドーピングの量、および長さ、幅が設計されている。また、p 型 p-Si TFT 402 は、高耐圧化のためにライトリー・ドープト・ドレイン (以下 LDD と記す。) 構造となっており、工程を簡略化するために、p-Si TFT 402 の LDD を形成する工程と、抵抗  $R_L$  (p-) を形成する工程を同時に行っている。

【0093】



次に、抵抗 $R_L$ を不純物のドーピングされていない半導体薄膜（ $i$ 層）501で形成した例を図5に示す。ここで、抵抗を形成する $i$ 層501の長さ、幅は、式（1）を満たすように設計されている。また、 $i$ 層501を抵抗 $R_L$ として用いる場合には、図に示すように、 $p$ 型 $p-Si TFT$ 402の、画素電極107に接続された側のソース・ドレイン電極（ $p+$ ）403と抵抗 $R_L$ （ $i$ 層）501の間に、 $p$ 型にライトリー・ドーピングされた $p$ -層404を形成しておく。 $p+$ 層と $i$ 層を接触させると、極めて高いショットキー抵抗が形成され、式（1）を満たす抵抗を小面積で形成することができなくなってしまうからである。同様に、電圧保持容量電極105に接続された $p+$ 電極403と、 $i$ 層501との間には、 $p$ -層404が形成されている。

## 【0094】

次に、抵抗 $R_L$ を、ライトリー・ドーピングされた $n$ 型半導体薄膜（ $n-$ ）で形成した場合の例を図6に示す。ここで、抵抗を形成する $n$ -層602の部分は、式（1）で示した条件を満たすように、不純物ドーピングの量、および長さ、幅が設計されている。 $p$ 型 $p-Si TFT$ 402のソース・ドレイン電極（ $p+$ 層）403と、 $n$ -層602とを接続する場合には、図に示すように、 $p+$ 層403と $n+$ 層601とを金属層407を介して接続し、その $n+$ 層601を $n$ -層602に接触させる。

## 【0095】

以上、図3に示す抵抗 $R_L$ を半導体薄膜、不純物ドーピングされた半導体薄膜で形成する場合について説明したが、式（1）を満たす抵抗であれば、他の材料を適用してもよい。

## 【0096】

以下、図3に示した画素構成を用いた液晶表示装置の駆動方法について説明する。図7は、図3に示した画素構成により、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド期間内で応答するOCBモード液晶等の高速液晶を駆動した場合の、ゲート走査電圧 $V_g$ 、データ信号電圧 $V_d$ 、 $p$ 型MOSトランジスタ（ $Q_p$ ）302のゲート電圧 $V_a$ 、画素電圧 $V_{pix}$ のタイミングチャート、および液晶の光透過率の変化を示したものである。ここで、液晶は、電圧無

印加時に暗い状態となる、ノーマリー・ブラックモードで動作する例を示している。図に示すように、ゲート走査電圧 $V_g$ が水平走査の期間、ハイレベル $V_{gH}$ となることによって、 $n$ 型MOSトランジスタ( $Q_n$ )301はオン状態となり、信号線に入力されているデータ信号 $V_d$ が $n$ 型MOSトランジスタ( $Q_n$ )301を経由して $p$ 型MOSトランジスタ( $Q_p$ )302のゲート電極に転送される。一方、その水平走査期間において、画素電極107は、 $p$ 型MOSトランジスタ( $Q_p$ )302を経由してゲート走査電圧 $V_{gH}$ が転送されることによりリセット状態となる。ここで、下記に述べるように、 $p$ 型MOSトランジスタ( $Q_p$ )302は、水平走査期間が終了した後、ソースフォロワ型のアナログアンプとして動作するが、水平走査期間において画素電圧 $V_{pix}$ が $V_{gH}$ となることで、 $p$ 型MOSトランジスタ( $Q_p$ )302のリセットが同時に行われる。

#### 【0097】

水平走査期間が終了し、ゲート走査電圧 $V_g$ がローレベルとなると、 $n$ 型MOSトランジスタ( $Q_n$ )301はオフ状態となり、 $p$ 型MOSトランジスタ( $Q_p$ )302のゲート電極に転送されたデータ信号は電圧保持容量105により保持される。この際、 $p$ 型MOSトランジスタのゲート入力電圧 $V_a$ は、 $n$ 型MOSトランジスタ( $Q_n$ )301がオフ状態になる時刻において、 $n$ 型MOSトランジスタ( $Q_n$ )301のゲート・ソース間容量を経由してフィードスルー電圧と呼ばれる電圧シフトを起こす。図7には、 $V_{f1}$ 、 $V_{f2}$ 、 $V_{f3}$ で示されており、この電圧シフト $V_{f1} \sim V_{f3}$ の量は、電圧保持容量105の値を大きく設計することにより小さくすることができる。 $p$ 型MOSトランジスタ( $Q_p$ )302のゲート入力電圧 $V_a$ は、次のフィールド期間において、再びゲート走査電圧 $V_g$ がハイレベルとなり、 $n$ 型MOSトランジスタ( $Q_n$ )301が選択されるまで保持される。一方、 $p$ 型MOSトランジスタ( $Q_p$ )302は、水平走査期間にリセットが完了しており、画素電極107をソース電極としたソースフォロワ型アナログアンプとして動作する。この際、電圧保持容量電極105には、 $p$ 型MOSトランジスタ( $Q_p$ )302をアナログアンプとして動作させるために、少なくとも $(V_{dmax} - V_{tp})$ よりも高い電圧を供給しておく。ここで、 $V_{dmax}$ はデータ信号 $V_d$ の最大値、 $V_{tp}$ は $p$ 型MOSトランジスタ( $Q_p$ )302の閾値電圧。

Q<sub>p</sub>) 302の閾値電圧である。p型MOSトランジスタ(Q<sub>p</sub>) 302は、次のフィールドでゲート走査電圧がV<sub>gH</sub>となってリセットが行われるまでの間、その保持されたゲート入力電圧V<sub>a</sub>に応じたアナログ階調電圧を出力することができる。その出力電圧は、p型MOSトランジスタのトランス・コンダクタンスg<sub>mp</sub>と抵抗R<sub>L303</sub>との値によって変わるが、およそ次の式で表される。

【0098】

$$V_{pix} \doteq V_a - V_{tp} \quad (2)$$

ここで、V<sub>tp</sub>は、通常負の値であるので、図7に示すように、V<sub>pix</sub>はV<sub>a</sub>よりもp型MOSトランジスタ(Q<sub>p</sub>) 302の閾値電圧の絶対値だけ高い電圧となる。このように、従来技術で述べたような液晶の応答に伴う画素電圧V<sub>pix</sub>の変動を無くすることができるようになり、図7の液晶光透過率にも示されるように、1フィールド毎に所望の階調を得ることが可能となる。

【0099】

また、本発明の液晶表示装置では、アナログアンプとして動作するp型MOSトランジスタ(Q<sub>p</sub>) 302の電源およびリセット電源として走査電圧を利用するとともに、アンプのリセットをp型MOSトランジスタ(Q<sub>p</sub>) 302自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。その結果、従来よりも小面積でアナログアンプを構成でき、高開口率化を図るのに顕著な効果が得られる。

【0100】

また、上記実施の形態では、n型MOS型トランジスタ(Q<sub>n</sub>) 301およびp型MOSトランジスタ(Q<sub>p</sub>) 302は、p-SiTFTで形成すると述べたが、a-SiTFT、CdSeTFT等の他の薄膜トランジスタで形成しても良いし、単結晶シリコントランジスタで形成しても良い。

【0101】

次に、図3に示した本発明の液晶表示装置を用いてTN液晶を駆動する方法について説明する。図8は、その場合のゲート走査電圧V<sub>g</sub>、データ信号電圧V<sub>d</sub>、p型MOSトランジスタ(Q<sub>p</sub>) 302のゲート電圧V<sub>a</sub>、画素電圧V<sub>pix</sub>のタイミングチャート、および液晶の光透過率の変化を示したものである。ここ

で、液晶は、電圧無印加時に明るい状態となる、ノーマリー・ホワイトモードで動作する例を示している。また、データ信号  $V_d$  として、数フィールドにわたって、明るい状態にする信号電圧を印加した例を示している。駆動方法としては、前述の図 7 で示したものと同様である。TN 液晶は、応答時間が数十  $\text{msec}$  ～ 100  $\text{msec}$  程度あるため、図 8 に示すように数フィールドかかって明るい状態に遷移していく。その間、TN 液晶の分子がスイッチングすることにより液晶容量が変化し、従来の液晶表示装置では、前述の図 6 1 に示したように、画素電圧  $V_{pix}$  が変動してしまうため、本来の液晶光透過率  $T_0$  を得ることができない。それに対し、本発明の液晶表示装置においては、p 型 MOS トランジスタ ( $Q_p$ ) 302 がアンプとして動作し、TN 液晶の容量の変化に影響されることなく液晶 109 に一定の電圧を印加し続けることができるので、本来の光透過率が得られ、正確な階調表示を行うことができる。

#### 【0102】

次に、図 3 に示した本発明の液晶表示装置において、抵抗  $R_{L303}$  の値を変化させた時の画素電圧  $V_{pix}$  の変化について説明する。図 9 は、図 3 における抵抗  $R_{L303}$  の値を、図 6 2 における液晶抵抗  $R_{sp}$  に対し、①  $R_{sp}/4$ 、②  $R_{sp}$ 、③  $2 \times R_{sp}$  と変えた場合の画素電圧  $V_{pix}$  の変化の様子を示したものである。図に示すように、抵抗  $R_{L303}$  の値を液晶抵抗  $R_{sp}$  よりも大きくした場合 (③)、正極性の信号を書き込むフィールドにおいて、画素電圧  $V_{pix}$  は大きな変動を示す。これに対し、抵抗  $R_{L303}$  の値を液晶抵抗  $R_{sp}$  以下にした場合 (①、②) には、画素電圧  $V_{pix}$  の変動はほとんど無くなる。抵抗  $R_{L303}$  の値を液晶抵抗  $R_{sp}$  と等しくした場合 (②) において、若干の変動が認められるが、その変動している期間は 1 フィールド期間に比べて非常に短い期間であり、階調表示制御を行う上で影響は無い。

#### 【0103】

以上説明した理由により、図 3 に示す液晶表示装置において、抵抗  $R_{L303}$  は前述の式 (1) で示された条件を満たすように設計される。実際には、画素電圧  $V_{pix}$  の変動量と消費電力を考慮して、抵抗  $R_{L303}$  の値を決定する。消費電力を小さくするためには、画素電圧  $V_{pix}$  の変動が液晶光透過率に影響を

及ぼさない範囲内で抵抗  $RL303$  の値はできるだけ大きく設計するのが望ましい。

#### 【0104】

以上説明した、第2の実施の形態の液晶表示装置およびその駆動方法を、1フィールド（1フレーム）期間に入射する光の色を切り換えてカラー表示を行う時分割駆動方式の液晶表示装置に適用したところ、色再現性の良い、高階調表示を実現することができた。これは、本発明の液晶表示装置が、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド（1フレーム）期間内に応答するOCBモード液晶のような高速液晶を駆動した場合においても、液晶の応答に伴う画素電圧の変動が発生せず、1フィールド（1フレーム）期間毎に所望の階調表示を行うことができるという特徴によるものである。この際、液晶材料として、無閾反強誘電性液晶を用いた。

#### 【0105】

次に本発明の第3の実施の形態について図面を参照して詳細に説明する。図10は、本発明の液晶表示装置の第3の実施の形態を示す図である。図に示すように、本発明の液晶表示装置は、ゲート電極が走査線101に接続され、ソース電極及びドレイン電極の一方が信号線102に接続されたn型MOS型トランジスタ（ $Q_n$ ）1001と、ゲート電極がそのn型MOSトランジスタ（ $Q_n$ ）1001のソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が走査線101に接続され、ソース電極及びドレイン電極の他方が画素電極107に接続された第1のp型MOSトランジスタ（ $Q_{p1}$ ）1002と、その第1のp型MOSトランジスタ（ $Q_{p1}$ ）1002のゲート電極と電圧保持容量電極105との間に形成された電圧保持容量106と、ゲート電極がバイアス電源VBに接続され、ソース電極が前記電圧保持容量電極105に接続され、ドレイン電極が前記画素電極に接続された第2のp型MOSトランジスタ（ $Q_{p2}$ ）1003と、画素電極107と対向電極108との間でスイッチングさせる液晶109とで構成されている。ここで、n型MOS型トランジスタ（ $Q_n$ ）1001、および第1、第2のp型MOSトランジスタ（ $Q_{p1}$ ）1002、（ $Q_{p2}$ ）1003は、p-SiTFTで構成されている。ここで、第2のp型M

OSトランジスタ ( $Q_{p2}$ ) 1003のゲート電極に供給するバイアス電源VB1004は、第2のp型MOSトランジスタ ( $Q_{p2}$ ) 1003のソース・ドレイン間抵抗 $R_{dsp}$ が、液晶の応答時定数を決めている抵抗成分の値以下となるように設定されている。すなわち、図60、図62に示した液晶等価回路における抵抗 $R_r$ 、 $R_{sp}$ と、ソース・ドレイン間抵抗 $R_{dsp}$ は次式に示す関係となっている。

$$R_{dsp} \leq R_r, R_{dsp} \leq R_{sp} \quad (3)$$

## 【0106】

たとえば、抵抗 $R_{sp}$ が5GΩである場合には、ソース・ドレイン間抵抗 $R_{dsp}$ が1GΩを越えないようなバイアス電源VB1004が供給される。図11は、第2のp型MOSトランジスタ ( $Q_{p2}$ ) 1003のドレイン電流・ゲート電圧特性と動作点を示したものである。図の例では、第2のp型MOSトランジスタ ( $Q_{p2}$ ) 1003のゲート・ソース間電圧 ( $V_B - V_{CH}$ ) を-3V程度に設定している。たとえば、電圧保持容量電圧 $V_{CH}$ を20V、 $V_B$ を17Vに設定する。その結果、第2のp型MOSトランジスタ ( $Q_{p2}$ ) 1003のドレイン電流はおよそ $1E-8$  (A) となり、ソース・ドレイン間電圧 $V_{dsp}$ が-10Vの時、ソース・ドレイン間抵抗 $R_{dsp}$ は1GΩとなる。また、第2のp型MOSトランジスタ ( $Q_{p2}$ ) 1003は、弱反転領域で動作しており、ソース・ドレイン間電圧 $V_{dsp}$ が-2~-14Vと変化しても、ドレイン電流はほぼ一定である。第2のp型MOSトランジスタ ( $Q_{p2}$ ) 1003は、第1のp型MOSトランジスタ ( $Q_{p1}$ ) 1002をアナログアンプとして動作させる場合の、バイアス電流源として動作している。

## 【0107】

以上説明した、図10に示す第3の実施の形態の液晶表示装置の駆動方法は、先に図3に示した第2の実施の形態の液晶表示装置の駆動方法と同様である。すなわち、分極を有する強誘電性液晶、反強誘電性液晶、および1フィールド期間内に応答するOCBモード液晶のような高速液晶を駆動した場合には、画素電圧 $V_{pix}$ 、液晶光透過率は図7に示したものと同様であり、TN液晶を駆動した場合には、図8に示したものと同様である。

## 【0108】

すなわち、図10に示した液晶表示装置を用いれば、第2の実施の形態と同様に、液晶の応答に伴う画素電圧 $V_{pix}$ の変動を無くすることができるようになり、1フィールド毎に所望の階調を得ることが可能となる。

#### 【0109】

また、図10に示した液晶表示装置では、アナログアンプとして動作する第1のp型MOSトランジスタ( $Q_{p1}$ )1002の電源およびリセット電源として走査電圧を利用するとともに、アンプのリセットを第1のp型MOSトランジスタ( $Q_{p1}$ )1002自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。その結果、従来よりも小面積でアナログアンプを構成でき、高開口率化を図るのに顕著な効果が得られる。

#### 【0110】

また、上記実施の形態では、n型MOS型トランジスタ( $Q_n$ )1001、第1、第2のp型MOSトランジスタ( $Q_{p1}$ )1002、( $Q_{p2}$ )1003は、p-SiTFTで形成すると述べたが、a-SiTFT、CdSeTFT等の他の薄膜トランジスタで形成しても良いし、単結晶シリコントランジスタで形成しても良い。

#### 【0111】

以上説明した、第3の実施の形態の液晶表示装置およびその駆動方法を、1フィールド(1フレーム)期間に入射する光の色を切り換えてカラー表示を行う時分割駆動方式の液晶表示装置に適用したところ、色再現性の良い、高階調表示を実現することができた。これは、本発明の液晶表示装置が、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド(1フレーム)期間内に応答するOCBモード液晶のような高速液晶を駆動した場合においても、液晶の応答に伴う画素電圧の変動が発生せず、1フィールド(1フレーム)期間毎に所望の階調表示を行うことができるという特徴によるものである。この際、液晶材料として、無閾反強誘電性液晶を用いた。

#### 【0112】

次に本発明の第4の実施の形態について図面を参照して詳細に説明する。図1

2は、本発明の液晶表示装置の第4の実施の形態を示す図である。図に示すように、本発明の液晶表示装置は、ゲート電極が走査線101に接続され、ソース電極及びドレイン電極の一方が信号線102に接続されたn型MOS型トランジスタ( $Q_n$ )1001と、ゲート電極がそのn型MOSトランジスタ( $Q_n$ )1001のソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が走査線101に接続され、ソース電極及びドレイン電極の他方が画素電極107に接続された第1のp型MOSトランジスタ( $Q_{p1}$ )1002と、その第1のp型MOSトランジスタ( $Q_{p1}$ )1002のゲート電極と電圧保持容量電極105との間に形成された電圧保持容量106と、ゲート電極が電圧保持容量電極105に接続され、ソース電極がソース電源VS1201に接続され、ドレイン電極が画素電極107に接続された第2のp型MOSトランジスタ( $Q_{p2}$ )1003と、画素電極107と対向電極108との間でスイッチングさせる液晶109とで構成されている。ここで、n型MOS型トランジスタ( $Q_n$ )1001、および第1、第2のp型MOSトランジスタ( $Q_{p1}$ )1002、( $Q_{p2}$ )1003は、p-SiTFTで構成されている。

#### 【0113】

また、第2のp型MOSトランジスタ( $Q_{p2}$ )1003のソース電極に供給するソース電源VS1201は、第2のp型MOSトランジスタ( $Q_{p2}$ )1003のソースドレイン間抵抗 $R_{dsp}$ が、液晶の応答時定数を決めている抵抗成分の値以下となるように設定されている。すなわち、図60、図62に示した液晶等価回路における抵抗 $R_r$ 、 $R_{sp}$ と、ソース・ドレイン間抵抗 $R_{dsp}$ は、前述の式(3)に示された関係となっており、たとえば、抵抗 $R_{sp}$ が5G $\Omega$ である場合には、ソース・ドレイン間抵抗 $R_{dsp}$ が1G $\Omega$ を越えないようなソース電源VS1201が供給される。第2のp型MOSトランジスタ( $Q_{p2}$ )1003の動作点は、前述の図11に示した動作点と同様である。すなわち、図の例では、第2のp型MOSトランジスタ( $Q_{p2}$ )1003のゲート・ソース間電圧( $V_{CH}-V_S$ )を-3V程度に設定している。たとえば、電圧保持容量電圧 $V_{CH}$ を17V、 $V_S$ を20Vに設定する。その結果、第2のp型MOSトランジスタ( $Q_{p2}$ )1003のドレイン電流はおよそ $1E-8$ (A)となり、ソ



ース・ドレイン間電圧 $V_{ds p}$ が $-10V$ の時、ソース・ドレイン間抵抗 $R_{ds p}$ は $1G\Omega$ となる。また、第2のp型MOSトランジスタ( $Q_{p2}$ )1003は、弱反転領域で動作しており、ソース・ドレイン間電圧 $V_{ds p}$ が $-2\sim-14V$ と変化しても、ドレイン電流はほぼ一定である。第2のp型MOSトランジスタ( $Q_{p2}$ )1003は、第1のp型MOSトランジスタ( $Q_{p1}$ )1002をアナログアンプとして動作させる場合の、バイアス電流源として動作している。

## 【0114】

以上説明した、図12に示す第4の実施の形態の液晶表示装置の駆動方法は、先に示した第2、第3の実施の形態の液晶表示装置の駆動方法と同様である。すなわち、分極を有する強誘電性液晶、反強誘電性液晶、および1フィールド期間内に応答するOCBモード液晶のような高速液晶を駆動した場合には、画素電圧 $V_{pix}$ 、液晶光透過率は図7に示したものと同様であり、TN液晶を駆動した場合には、図8に示したものと同様である。

## 【0115】

すなわち、図12に示した液晶表示装置を用いれば、第2、第3の実施の形態と同様に、液晶の応答に伴う画素電圧 $V_{pix}$ の変動を無くすることができるようになり、1フィールド毎に所望の階調を得ることが可能となる。

## 【0116】

また、図12に示した液晶表示装置では、アナログアンプとして動作する第1のp型MOSトランジスタ( $Q_{p1}$ )1002の電源およびリセット電源として走査電圧を利用するとともに、アンプのリセットを第1のp型MOSトランジスタ( $Q_{p1}$ )1002自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。その結果、従来よりも小面積でアナログアンプを構成でき、高開口率化を図るのに顕著な効果が得られる。

## 【0117】

また、上記実施の形態では、n型MOS型トランジスタ( $Q_n$ )1001、第1、第2のp型MOSトランジスタ( $Q_{p1}$ )1002、( $Q_{p2}$ )1003は、p-SiTFTで形成すると述べたが、a-SiTFT、CdSeTFT等の

他の薄膜トランジスタで形成しても良いし、単結晶シリコントランジスタで形成しても良い。

#### 【0118】

以上説明した、第4の実施の形態の液晶表示装置およびその駆動方法を、1フィールド（1フレーム）期間に入射する光の色を切り換えてカラー表示を行う時分割駆動方式の液晶表示装置に適用したところ、色再現性の良い、高階調表示を実現することができた。これは、本発明の液晶表示装置が、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド（1フレーム）期間内に応答するOCBモード液晶のような高速液晶を駆動した場合においても、液晶の応答に伴う画素電圧の変動が発生せず、1フィールド（1フレーム）期間毎に所望の階調表示を行うことができるという特徴によるものである。この際、液晶材料として、無閾反強誘電性液晶を用いた。

#### 【0119】

次に本発明の第5の実施の形態について図面を参照して詳細に説明する。図13は、本発明の液晶表示装置の第5の実施の形態を示す図である。図に示すように、本発明の液晶表示装置は、ゲート電極が走査線101に接続され、ソース電極及びドレイン電極の一方が信号線102に接続されたn型MOS型トランジスタ（ $Q_n$ ）1001と、ゲート電極がそのn型MOSトランジスタ（ $Q_n$ ）1001のソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が走査線101に接続され、ソース電極及びドレイン電極の他方が画素電極107に接続された第1のp型MOSトランジスタ（ $Q_{p1}$ ）1002と、その第1のp型MOSトランジスタ（ $Q_{p1}$ ）1002のゲート電極と電圧保持容量電極105との間に形成された電圧保持容量106と、ゲート電極およびソース電極が電圧保持容量電極105に接続され、ドレイン電極が画素電極107に接続された第2のp型MOSトランジスタ（ $Q_{p2}$ ）1003と、画素電極107と対向電極108との間でスイッチングさせる液晶109とで構成されている。ここで、n型MOS型トランジスタ（ $Q_n$ ）1001、および第1、第2のp型MOSトランジスタ（ $Q_{p1}$ ）1002、（ $Q_{p2}$ ）1003は、p-SiTFTで構成されている。

## 【0120】

また、第2のp型MOSトランジスタ ( $Q_{p2}$ ) 1003のゲート電極とソース電極はともに電圧保持容量電極105に接続されているため、第2のp型MOSトランジスタ ( $Q_{p2}$ ) 1003のゲート・ソース間電圧  $V_{gs p}$  は0Vとなる。このバイアス条件下で、第2のp型MOSトランジスタ ( $Q_{p2}$ ) のソース・ドレイン間抵抗  $R_{ds p}$  が前述の式 (3) を満たすように、第2のp型MOSトランジスタ ( $Q_{p2}$ ) 1003の閾値電圧をチャネル・ドーズにより正側にシフト制御している。図14は、第2のp型MOSトランジスタ ( $Q_{p2}$ ) 1003のドレイン電流・ゲート電圧特性と、動作点を示したものである。図に示すように、ゲート・ソース間電圧が0Vの時、ドレイン電流が約  $1E-8$  (A) となるように、チャネルドーズにより、閾値電圧が正側にシフト制御されている。その結果、第2のp型MOSトランジスタ ( $Q_{p2}$ ) 1003のドレイン電流はおよそ  $1E-8$  (A) となり、ソース・ドレイン間電圧  $V_{ds p}$  が-10Vの時、ソース・ドレイン間抵抗  $R_{ds p}$  は  $1G\Omega$  となる。また、第2のp型MOSトランジスタ ( $Q_{p2}$ ) 1003は、弱反転領域で動作しており、ソース・ドレイン間電圧  $V_{ds p}$  が-2~-14Vと変化しても、ドレイン電流はほぼ一定である。第2のp型MOSトランジスタ ( $Q_{p2}$ ) 1003は、第1のp型MOSトランジスタ ( $Q_{p1}$ ) 1002をアナログアンプとして動作させる場合の、バイアス電流源として動作している。

## 【0121】

第5の実施の形態では、第3、第4の実施の形態で必要であった、バイアス電源  $VB1004$ 、ソース電源  $VS1201$  が不要となっているが、チャネルドーズ工程が余分に必要となる。

## 【0122】

以上説明した、図13に示す第5の実施の形態の液晶表示装置の駆動方法は、先に示した第2~第4の実施の形態の液晶表示装置の駆動方法と同様である。すなわち、分極を有する強誘電性液晶、反強誘電性液晶、および1フィールド期間内に応答するOCBモード液晶のような高速液晶を駆動した場合には、画素電圧  $V_{pix}$ 、液晶光透過率は図7に示したものと同様であり、TN液晶を駆動した

場合には、図 8 に示したものと同様である。

【0123】

すなわち、図 13 に示した液晶表示装置を用いれば、第 2 ～第 4 の実施の形態と同様に、液晶の応答に伴う画素電圧  $V_{pix}$  の変動を無くすることができるようになり、1 フィールド毎に所望の階調を得ることが可能となる。

【0124】

また、図 13 に示した液晶表示装置では、アナログアンプとして動作する第 1 の p 型 MOS トランジスタ ( $Q_{p1}$ ) 1002 の電源およびリセット電源として走査電圧を利用するとともに、アンプのリセットを第 1 の p 型 MOS トランジスタ ( $Q_{p1}$ ) 1002 自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。その結果、従来よりも小面積でアナログアンプを構成でき、高開口率化を図るのに顕著な効果が得られる。

【0125】

また、上記実施の形態では、n 型 MOS 型 トランジスタ ( $Q_n$ ) 1001、第 1、第 2 の p 型 MOS トランジスタ ( $Q_{p1}$ ) 1002、( $Q_{p2}$ ) 1003 は、p-Si TFT で形成すると述べたが、a-Si TFT、CdSe TFT 等の他の薄膜トランジスタで形成しても良いし、単結晶シリコントランジスタで形成しても良い。

【0126】

以上説明した、第 5 の実施の形態の液晶表示装置およびその駆動方法を、1 フィールド (1 フレーム) 期間に入射する光の色を切り換えてカラー表示を行う時分割駆動方式の液晶表示装置に適用したところ、色再現性の良い、高階調表示を実現することができた。これは、本発明の液晶表示装置が、分極を有する強誘電性液晶、反強誘電性液晶、又は 1 フィールド (1 フレーム) 期間内に応答する OCB モード液晶のような高速液晶を駆動した場合においても、液晶の応答に伴う画素電圧の変動が発生せず、1 フィールド (1 フレーム) 期間毎に所望の階調表示を行うことができるという特徴によるものである。この際、液晶材料として、無閾反強誘電性液晶を用いた。

## 【0127】

次に本発明の第6の実施の形態について図面を参照して詳細に説明する。図15は、本発明の液晶表示装置の第6の実施の形態を示す図である。図に示すように、本発明の液晶表示装置は、ゲート電極が走査線101に接続され、ソース電極及びドレイン電極の一方が信号線102に接続されたp型MOS型トランジスタ(Q<sub>p</sub>)1501と、ゲート電極がそのp型MOSトランジスタ(Q<sub>p</sub>)1501のソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が走査線101に接続され、ソース電極及びドレイン電極の他方が画素電極107に接続されたn型MOSトランジスタ(Q<sub>n</sub>)1502と、そのn型MOSトランジスタ(Q<sub>n</sub>)1502のゲート電極と電圧保持容量電極105との間に形成された電圧保持容量106と、画素電極107と電圧保持容量電極105の間に接続された抵抗RL1503と、画素電極107と対向電極108との間でスイッチングさせる液晶109とで構成されている。ここで、p型MOS型トランジスタ(Q<sub>p</sub>)1501およびn型MOSトランジスタ(Q<sub>p</sub>)1502は、p-SiTFTで構成されている。

## 【0128】

また、抵抗RL1503の値は、液晶の応答時定数を決めている抵抗成分の値以下に設定されている。すなわち、図60、図62に示した液晶等価回路における抵抗R<sub>r</sub>、R<sub>sp</sub>と、抵抗RL1503は前述の式(1)に示す関係となっている。

## 【0129】

たとえば、抵抗R<sub>sp</sub>が5GΩである場合には、抵抗RLは1GΩ程度の値に設定されてる。1GΩという通常の半導体集積回路では用いられない大きな抵抗は、第2の実施の形態と同様に、半導体薄膜か、もしくは不純物ドーピングされた半導体薄膜で形成する。

## 【0130】

図16は、抵抗RL1503を、ライトリー・ドーピングされたn型半導体薄膜(n-)で形成した場合の構造例を示したものである。図16には、n型p-SiTFT1601の構造も示してある。図に示すように、n型p-SiTFT1

601のソース・ドレイン電極の一方は走査線405に接続されており、他方は画素電極107に接続されている。ここで、抵抗を形成するn-層部分は、式(1)で示した条件を満たすように、不純物ドーピングの量、および長さ、幅が設計されている。また、n型p-SiTFT1601は、高耐圧化のためにライトリー・ドーフト・ドレイン（以下LDDと記す。）構造となっており、工程を簡略化するために、p-SiTFTのLDDを形成する工程と、抵抗RL（n-）を形成する工程を同時に行っている。

#### 【0131】

次に、抵抗RLを不純物のドーピングされていない半導体薄膜（i層）501で形成した例を図17に示す。ここで、抵抗を形成するi層501の長さ、幅は、式(1)を満たすように設計されている。また、i層501を抵抗RLとして用いる場合には、図に示すように、n型p-SiTFT1601の、画素電極107に接続された側のソース・ドレイン電極（n+）601と抵抗RL（i層）501の間に、n型にライトリー・ドーピングされたn-層602を形成しておく。n+層とi層を接触させると、極めて高いショットキー抵抗が形成され、式(1)を満たす抵抗を小面積で形成することができなくなってしまうからである。同様に、電圧保持容量電極105に接続されたn+電極601と、i層501との間には、n-層602が形成されている。

#### 【0132】

次に、抵抗RLを、ライトリー・ドーピングされたp型半導体薄膜（p-）で形成した場合の例を図18に示す。ここで、抵抗を形成するp-層404の部分は、式(1)で示した条件を満たすように、不純物ドーピングの量、および長さ、幅が設計されている。n型p-SiTFT1601のソース・ドレイン電極（n+層）601と、p-層404とを接続する場合には、図に示すように、n+層601とp+層403とを金属層407を介して接続し、そのp+層403をp-層404に接触させる。

#### 【0133】

以上、図15に示す抵抗RLを半導体薄膜、不純物ドーピングされた半導体薄膜で形成する場合について説明したが、式(1)を満たす抵抗であれば、他の材

料を適用してもよい。

#### 【0134】

以下、図3に示した画素構成を用いた液晶表示装置の駆動方法について説明する。図19は、図15に示した画素構成により、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド期間内で応答するOCBモード液晶等の高速液晶を駆動した場合の、ゲート走査電圧 $V_g$ 、データ信号電圧 $V_d$ 、n型MOSトランジスタ( $Q_n$ )1502のゲート電圧 $V_a$ 、画素電圧 $V_{pix}$ のタイミングチャート、および液晶の光透過率の変化を示したものである。ここで、液晶は、電圧無印加時に暗い状態となる、ノーマリー・ブラックモードで動作する例を示している。図に示すように、ゲート走査電圧 $V_g$ が水平走査の期間、ローレベル $V_{gL}$ となることによって、p型MOSトランジスタ( $Q_p$ )1501はオン状態となり、信号線に入力されているデータ信号 $V_d$ がp型MOSトランジスタ( $Q_p$ )1501を経由してn型MOSトランジスタ( $Q_n$ )1502のゲート電極に転送される。一方、その水平走査期間において、画素電極107は、n型MOSトランジスタ( $Q_n$ )1502を経由してゲート走査電圧 $V_{gL}$ が転送されることによりリセット状態となる。ここで、下記に述べるように、n型MOSトランジスタ( $Q_n$ )1502は、水平走査期間が終了した後、ソースフォロワ型のアナログアンプとして動作するが、水平走査期間において画素電圧 $V_{pix}$ が $V_{gL}$ となることで、n型MOSトランジスタ( $Q_n$ )1502のリセットが同時に行われる。

#### 【0135】

水平走査期間が終了し、ゲート走査電圧 $V_g$ がハイレベルになると、p型MOSトランジスタ( $Q_p$ )1501はオフ状態となり、n型MOSトランジスタ( $Q_n$ )1502のゲート電極に転送されたデータ信号は電圧保持容量105により保持される。この際、n型MOSトランジスタのゲート入力電圧 $V_a$ は、p型MOSトランジスタ( $Q_p$ )1501がオフ状態になる時刻において、p型MOSトランジスタ( $Q_p$ )1501のゲート・ソース間容量を経由してフィードスルー電圧と呼ばれる電圧シフトを起こす。図19には、 $V_{f1}$ 、 $V_{f2}$ 、 $V_{f3}$ で示されており、この電圧シフト $V_{f1} \sim V_{f3}$ の量は、電圧保持容量105の

値を大きく設計することにより小さくすることができる。n型MOSトランジスタ(Q<sub>n</sub>)1502のゲート入力電圧V<sub>a</sub>は、次のフィールド期間において、再びゲート走査電圧V<sub>g</sub>がローレベルとなり、p型MOSトランジスタ(Q<sub>p</sub>)1501が選択されるまで保持される。一方、n型MOSトランジスタ(Q<sub>n</sub>)1502は、水平走査期間にリセットが完了しており、画素電極107をソース電極としたソースフォロワ型アナログアンプとして動作する。この際、電圧保持容量電極105には、n型MOSトランジスタ(Q<sub>n</sub>)1502をアナログアンプとして動作させるために、少なくとも(V<sub>dmin</sub>-V<sub>tn</sub>)よりも低い電圧を供給しておく。ここで、V<sub>dmin</sub>はデータ信号V<sub>d</sub>の最小値、V<sub>tn</sub>はn型MOSトランジスタ(Q<sub>n</sub>)1502の閾値電圧である。n型MOSトランジスタ(Q<sub>n</sub>)1502は、次のフィールドでゲート走査電圧がV<sub>gL</sub>となってリセットが行われるまでの間、その保持されたゲート入力電圧V<sub>a</sub>に応じたアナログ階調電圧を出力することができる。その出力電圧は、n型MOSトランジスタ(Q<sub>n</sub>)1502のトランス・コンダクタンスg<sub>mn</sub>と抵抗R<sub>L</sub>1503との値によって変わるが、およそ次の式で表される。

$$V_{pix} \div V_a - V_{tn} \quad (4)$$

【0136】

ここで、V<sub>tn</sub>は、通常正の値であるので、図19に示すように、V<sub>pix</sub>はV<sub>a</sub>よりもn型MOSトランジスタ(Q<sub>n</sub>)1502の閾値電圧だけ低い電圧となる。

このように、従来技術で述べたような液晶の応答に伴う画素電圧V<sub>pix</sub>の変動を無くすることができるようになり、図19の液晶光透過率にも示されるように、1フィールド毎に所望の階調を得ることが可能となる。

【0137】

また、本発明の液晶表示装置では、アナログアンプとして動作するn型MOSトランジスタ(Q<sub>n</sub>)1502の電源およびリセット電源として走査電圧を利用するとともに、アンプのリセットをn型MOSトランジスタ(Q<sub>n</sub>)1502自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。その結果、従来よりも小面積でアナログアン



ブを構成でき、高開口率化を図るのに顕著な効果が得られる。

【0138】

また、上記実施の形態では、p型MOS型トランジスタ ( $Q_p$ ) 1501およびn型MOSトランジスタ ( $Q_n$ ) 1502は、p-SiTFTで形成すると述べたが、a-SiTFT、CdSeTFT等の他の薄膜トランジスタで形成しても良いし、単結晶シリコントランジスタで形成しても良い。

【0139】

次に、図15に示した本発明の液晶表示装置を用いてTN液晶を駆動する方法について説明する。図20は、その場合のゲート走査電圧  $V_g$ 、データ信号電圧  $V_d$ 、n型MOSトランジスタ ( $Q_n$ ) 1502のゲート電圧  $V_a$ 、画素電圧  $V_{pix}$  のタイミングチャート、および液晶の光透過率の変化を示したものである。ここで、液晶は、電圧無印加時に明るい状態となる、ノーマリー・ホワイトモードで動作する例を示している。また、データ信号  $V_d$  として、数フィールドにわたって、明るい状態にする信号電圧を印加した例を示している。駆動方法としては、前述の図19で示したものと同様である。TN液晶は、応答時間が数十  $ms \sim 100ms$  程度あるため、図20に示すように数フィールドかけて明るい状態に遷移していく。その間、TN液晶の分子がスイッチングすることにより液晶容量が変化し、従来の液晶表示装置では、前述の図61に示したように、画素電圧  $V_{pix}$  が変動してしまうため、本来の液晶光透過率  $T_0$  を得ることができない。それに対し、本発明の液晶表示装置においては、n型MOSトランジスタ ( $Q_n$ ) 1502がアンプとして動作し、TN液晶の容量の変化に影響されことなく液晶109に一定の電圧を印加し続けることができるので、本来の光透過率が得られ、正確な階調表示を行うことができる。

【0140】

次に、図15に示した本発明の液晶表示装置において、抵抗  $R_L$  1503の値を変化させた時の画素電圧  $V_{pix}$  の変化について説明する。図21は、図15における抵抗  $R_L$  1503の値を、図62における液晶抵抗  $R_{sp}$  に対し、①  $R_{sp}/4$ 、②  $R_{sp}$ 、③  $2 \times R_{sp}$  と変えた場合の画素電圧  $V_{pix}$  の変化の様子を示したものである。図に示すように、抵抗  $R_L$  1503の値を液晶抵抗  $R_s$

pよりも大きくした場合(③)、負極性の信号を書き込むフィールドにおいて、画素電圧 $V_{pix}$ は大きな変動を示す。これに対し、抵抗 $R_{L1503}$ の値を液晶抵抗 $R_{sp}$ 以下にした場合(①、②)には、画素電圧 $V_{pix}$ の変動はほとんど無くなる。抵抗 $R_{L1503}$ の値を液晶抵抗 $R_{sp}$ と等しくした場合(②)において、若干の変動が認められるが、その変動している期間は1フィールド期間に比べて非常に短い期間であり、階調表示制御を行う上で影響は無い。

#### 【0141】

以上説明した理由により、図15に示す液晶表示装置において、抵抗 $R_{L1503}$ は前述の式(1)で示された条件を満たすように設計される。実際には、画素電圧 $V_{pix}$ の変動量と消費電力を考慮して、抵抗 $R_{L1503}$ の値を決定する。消費電力を小さくするためには、画素電圧 $V_{pix}$ の変動が液晶光透過率に影響を及ぼさない範囲内で抵抗 $R_{L1503}$ の値はできるだけ大きく設計するのが望ましい。

#### 【0142】

以上説明した、第6の実施の形態の液晶表示装置およびその駆動方法を、1フィールド(1フレーム)期間に入射する光の色を切り換えてカラー表示を行う時分割駆動方式の液晶表示装置に適用したところ、色再現性の良い、高階調表示を実現することができた。これは、本発明の液晶表示装置が、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド(1フレーム)期間内に応答するOCBモード液晶のような高速液晶を駆動した場合においても、液晶の応答に伴う画素電圧の変動が発生せず、1フィールド(1フレーム)期間毎に所望の階調表示を行うことができるという特徴によるものである。この際、液晶材料として、無関反強誘電性液晶を用いた。

#### 【0143】

次に本発明の第7の実施の形態について図面を参照して詳細に説明する。図22は、本発明の液晶表示装置の第7の実施の形態を示す図である。図に示すように、本発明の液晶表示装置は、ゲート電極が走査線101に接続され、ソース電極及びドレイン電極の一方が信号線102に接続されたp型MOS型トランジスタ( $Q_p$ )2201と、ゲート電極がそのp型MOSトランジスタ( $Q_p$ )22

01のソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が走査線101に接続され、ソース電極及びドレイン電極の他方が画素電極107に接続された第1のn型MOSトランジスタ(Qn1)2202と、その第1のn型MOSトランジスタ(Qn1)2202のゲート電極と電圧保持容量電極105との間に形成された電圧保持容量106と、ゲート電極がバイアス電源VBに接続され、ソース電極が前記電圧保持容量電極105に接続され、ドレイン電極が前記画素電極に接続された第2のn型MOSトランジスタ(Qn2)2203と、画素電極107と対向電極108との間でスイッチングさせる液晶109とで構成されている。ここで、p型MOS型トランジスタ(Qp)2201、および第1、第2のn型MOSトランジスタ(Qn1)2202、(Qn2)2203は、p-SiTFTで構成されている。ここで、第2のn型MOSトランジスタ(Qn2)2203のゲート電極に供給するバイアス電源VB2204は、第2のn型MOSトランジスタ(Qn2)2203のソースドレイン間抵抗Rdsnが、液晶の応答時定数を決めている抵抗成分の値以下となるように設定されている。すなわち、図60、図62に示した液晶等価回路における抵抗Rr、Rspと、ソース・ドレイン間抵抗Rdsnは次式に示す関係となっている。

$$Rdsn \div Rr, Rdsn \div Rsp \quad (5)$$

【0144】

たとえば、抵抗Rspが5GΩである場合には、ソース・ドレイン間抵抗Rdsnが1GΩを越えないようなバイアス電源VB2204が供給される。図23は、第2のn型MOSトランジスタ(Qn2)2203のドレイン電流・ゲート電圧特性と動作点を示したものである。図の例では、第2のn型MOSトランジスタ(Qn2)2203のゲート・ソース間電圧(VB-VCH)を3V程度に設定している。たとえば、電圧保持容量電圧VCHを0V、VBを3Vに設定する。その結果、第2のn型MOSトランジスタ(Qn2)2203のドレイン電流はおよそ1E-8(A)となり、ソース・ドレイン間電圧Vdsnが10Vの時、ソース・ドレイン間抵抗Rdsnは1GΩとなる。また、第2のn型MOSトランジスタ(Qn2)2203は、弱反転領域で動作しており、ソース・ドレ

イン間電圧 $V_{dsn}$ が2～14Vと変化しても、ドレイン電流はほぼ一定である。第2のn型MOSトランジスタ( $Q_{n2}$ )2203は、第1のn型MOSトランジスタ( $Q_{n1}$ )2202をアナログアンプとして動作させる場合の、バイアス電流源として動作している。

【0145】

以上説明した、図22に示す第7の実施の形態の液晶表示装置の駆動方法は、先に図15に示した第6の実施の形態の液晶表示装置の駆動方法と同様である。すなわち、分極を有する強誘電性液晶、反強誘電性液晶、および1フィールド期間内に応答するOCBモード液晶のような高速液晶を駆動した場合には、画素電圧 $V_{pix}$ 、液晶光透過率は図19に示したものと同様であり、TN液晶を駆動した場合には、図20に示したものと同様である。

【0146】

すなわち、図22に示した液晶表示装置を用いれば、第6の実施の形態と同様に、液晶の応答に伴う画素電圧 $V_{pix}$ の変動を無くすることができるようになり、1フィールド毎に所望の階調を得ることが可能となる。

【0147】

また、図22に示した液晶表示装置では、アナログアンプとして動作する第1のn型MOSトランジスタ( $Q_{n1}$ )2202の電源およびリセット電源として走査電圧を利用するとともに、アンプのリセットを第1のn型MOSトランジスタ( $Q_{n1}$ )2202自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。その結果、従来よりも小面積でアナログアンプを構成でき、高開口率化を図るのに顕著な効果が得られる。

【0148】

また、上記実施の形態では、p型MOS型トランジスタ( $Q_p$ )2201、第1、第2のn型MOSトランジスタ( $Q_{n1}$ )2202、( $Q_{n2}$ )2203は、p-SiTFTで形成すると述べたが、a-SiTFT、CdSeTFT等の他の薄膜トランジスタで形成しても良いし、単結晶シリコントランジスタで形成しても良い。

## 【0149】

以上説明した、第7の実施の形態の液晶表示装置およびその駆動方法を、1フィールド（1フレーム）期間に入射する光の色を切り換えてカラー表示を行う時分割駆動方式の液晶表示装置に適用したところ、色再現性の良い、高階調表示を実現することができた。これは、本発明の液晶表示装置が、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド（1フレーム）期間内に応答するOCBモード液晶のような高速液晶を駆動した場合においても、液晶の応答に伴う画素電圧の変動が発生せず、1フィールド（1フレーム）期間毎に所望の階調表示を行うことができるという特徴によるものである。この際、液晶材料として、無閾反強誘電性液晶を用いた。

## 【0150】

次に本発明の第8の実施の形態について図面を参照して詳細に説明する。図24は、本発明の液晶表示装置の第8の実施の形態を示す図である。図に示すように、本発明の液晶表示装置は、ゲート電極が走査線101に接続され、ソース電極及びドレイン電極の一方が信号線102に接続されたp型MOS型トランジスタ（Q<sub>p</sub>）2201と、ゲート電極がそのp型MOS型トランジスタ（Q<sub>p</sub>）2201のソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が走査線101に接続され、ソース電極及びドレイン電極の他方が画素電極107に接続された第2のn型MOS型トランジスタ（Q<sub>n1</sub>）2202と、その第2のn型MOS型トランジスタ（Q<sub>n1</sub>）2202のゲート電極と電圧保持容量電極105との間に形成された電圧保持容量106と、ゲート電極が電圧保持容量電極105に接続され、ソース電極がソース電源V<sub>S</sub>2401に接続され、ドレイン電極が画素電極107に接続された第2のn型MOS型トランジスタ（Q<sub>n2</sub>）2203と、画素電極107と対向電極108との間でスイッチングさせる液晶109とで構成されている。ここで、p型MOS型トランジスタ（Q<sub>p</sub>）2201、および第1、第2のn型MOS型トランジスタ（Q<sub>n1</sub>）2202、（Q<sub>n2</sub>）2203は、p-SiTFTで構成されている。

## 【0151】

また、第2のn型MOS型トランジスタ（Q<sub>n2</sub>）2203のソース電極に供給

するソース電源  $V_{S2401}$  は、第2のn型MOSトランジスタ ( $Q_{n2}$ ) 2203のソース・ドレイン間抵抗  $R_{dsn}$  が、液晶の応答時定数を決めている抵抗成分の値以下となるように設定されている。すなわち、図60、図62に示した液晶等価回路における抵抗  $R_r$ 、 $R_{sp}$  と、ソース・ドレイン間抵抗  $R_{dsn}$  は、前述の式(5)に示された関係となっており、たとえば、抵抗  $R_{sp}$  が  $5\text{ G}\Omega$  である場合には、ソース・ドレイン間抵抗  $R_{dsn}$  が  $1\text{ G}\Omega$  を越えないようなソース電源  $V_{S1201}$  が供給される。第2のn型MOSトランジスタ ( $Q_{n2}$ ) 2203の動作点は、前述の図23に示した動作点と同様である。すなわち、図の例では、第2のn型MOSトランジスタ ( $Q_{n2}$ ) 2203のゲート・ソース間電圧 ( $V_{CH}-V_S$ ) を  $3\text{ V}$  程度に設定している。たとえば、電圧保持容量電圧  $V_{CH}$  を  $3\text{ V}$ 、 $V_S$  を  $0\text{ V}$  に設定する。その結果、第2のn型MOSトランジスタ ( $Q_{n2}$ ) 2203のドレイン電流はおよそ  $1\text{ E}-8\text{ (A)}$  となり、ソース・ドレイン間電圧  $V_{dsn}$  が  $10\text{ V}$  の時、ソース・ドレイン間抵抗  $R_{dsn}$  は  $1\text{ G}\Omega$  となる。また、第2のn型MOSトランジスタ ( $Q_{n2}$ ) 2203は、弱反転領域で動作しており、ソース・ドレイン間電圧  $V_{dsn}$  が  $2\sim 14\text{ V}$  と変化しても、ドレイン電流はほぼ一定である。第2のn型MOSトランジスタ ( $Q_{n2}$ ) 2203は、第1のn型MOSトランジスタ ( $Q_{n1}$ ) 2202をアナログアンプとして動作させる場合の、バイアス電流源として動作している。

#### 【0152】

以上説明した、図24に示す第8の実施の形態の液晶表示装置の駆動方法は、先に示した第6、第7の実施の形態の液晶表示装置の駆動方法と同様である。すなわち、分極を有する強誘電性液晶、反強誘電性液晶、および1フィールド期間内に応答するOCBモード液晶のような高速液晶を駆動した場合には、画素電圧  $V_{pix}$ 、液晶光透過率は図19に示したものと同様であり、TN液晶を駆動した場合には、図20に示したものと同様である。

#### 【0153】

すなわち、図24に示した液晶表示装置を用いれば、第6、第7の実施の形態と同様に、液晶の応答に伴う画素電圧  $V_{pix}$  の変動を無くすことができるようになり、1フィールド毎に所望の階調を得ることが可能となる。

## 【0154】

また、図24に示した液晶表示装置では、アナログアンプとして動作する第1のn型MOSトランジスタ(Qn1)2202の電源およびリセット電源として走査電圧を利用するとともに、アンプのリセットを第1のn型MOSトランジスタ(Qn1)2202自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。その結果、従来よりも小面積でアナログアンプを構成でき、高開口率化を図るのに顕著な効果が得られる。

## 【0155】

また、上記実施の形態では、p型MOS型トランジスタ(Qp)2201、第1、第2のn型MOSトランジスタ(Qn1)2202、(Qn2)2203は、p-SiTFTで形成すると述べたが、a-SiTFT、CdSeTFT等の他の薄膜トランジスタで形成しても良いし、単結晶シリコントランジスタで形成しても良い。

## 【0156】

以上説明した、第8の実施の形態の液晶表示装置およびその駆動方法を、1フィールド(1フレーム)期間に入射する光の色を切り換えてカラー表示を行う時分割駆動方式の液晶表示装置に適用したところ、色再現性の良い、高階調表示を実現することができた。これは、本発明の液晶表示装置が、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド(1フレーム)期間内に応答するOCBモード液晶のような高速液晶を駆動した場合においても、液晶の応答に伴う画素電圧の変動が発生せず、1フィールド(1フレーム)期間毎に所望の階調表示を行うことができるという特徴によるものである。この際、液晶材料として、無閾反強誘電性液晶を用いた。

## 【0157】

次に本発明の第9の実施の形態について図面を参照して詳細に説明する。図25は、本発明の液晶表示装置の第9の実施の形態を示す図である。図に示すように、本発明の液晶表示装置は、ゲート電極が走査線101に接続され、ソース電極及びドレイン電極の一方が信号線102に接続されたp型MOS型トランジス

タ ( $Q_p$ ) 2201と、ゲート電極がそのp型MOSトランジスタ ( $Q_p$ ) 2201のソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が走査線101に接続され、ソース電極及びドレイン電極の他方が画素電極107に接続された第1のn型MOSトランジスタ ( $Q_{n1}$ ) 2202と、その第1のn型MOSトランジスタ ( $Q_{n1}$ ) 2202のゲート電極と電圧保持容量電極105との間に形成された電圧保持容量106と、ゲート電極およびソース電極が電圧保持容量電極105に接続され、ドレイン電極が画素電極107に接続された第2のn型MOSトランジスタ ( $Q_{n2}$ ) 2203と、画素電極107と対向電極108との間でスイッチングさせる液晶109とで構成されている。ここで、p型MOS型トランジスタ ( $Q_p$ ) 2201、および第1、第2のn型MOSトランジスタ ( $Q_{n1}$ ) 2202、( $Q_{n2}$ ) 2203は、p-Si TFTで構成されている。

#### 【0158】

また、第2のn型MOSトランジスタ ( $Q_{n2}$ ) 2203のゲート電極とソース電極はともに電圧保持容量電極105に接続されているため、第2のn型MOSトランジスタ ( $Q_{n2}$ ) 2203のゲート・ソース間電圧  $V_{gsn}$  は0Vとなる。このバイアス条件下で、第2のn型MOSトランジスタ ( $Q_{n2}$ ) 2203のソース・ドレイン間抵抗  $R_{dsn}$  が前述の式(5)を満たすように、第2のn型MOSトランジスタ ( $Q_{n2}$ ) 2203の閾値電圧をチャネル・ドーズにより負側にシフト制御している。図26は、第2のn型MOSトランジスタ ( $Q_{n2}$ ) 2203のドレイン電流・ゲート電圧特性と、動作点を示したものである。図に示すように、ゲート・ソース間電圧が0Vの時、ドレイン電流が約  $1E-8$  (A) となるように、チャネルドーズにより、閾値電圧が負側にシフト制御されている。その結果、第2のn型MOSトランジスタ ( $Q_{n2}$ ) 2203のドレイン電流はおよそ  $1E-8$  (A) となり、ソース・ドレイン間電圧  $V_{dsn}$  が10Vの時、ソース・ドレイン間抵抗  $R_{dsn}$  は1G $\Omega$ となる。また、第2のn型MOSトランジスタ ( $Q_{n2}$ ) 2203は、弱反転領域で動作しており、ソース・ドレイン間電圧  $V_{dsn}$  が2~14Vと変化しても、ドレイン電流はほぼ一定である。第2のn型MOSトランジスタ ( $Q_{n2}$ ) 2203は、第1のn型MOSト



ランジスタ ( $Q_{n1}$ ) 2202 をアナログアンプとして動作させる場合の、バイアス電流源として動作している。

【0159】

第9の実施の形態では、第7、第8の実施の形態で必要であった、バイアス電源  $VB_{2204}$ 、ソース電源  $VS_{2501}$  が不要となっているが、チャンネルドーズ工程が余分に必要となる。

【0160】

以上説明した、図25に示す第9の実施の形態の液晶表示装置の駆動方法は、先に示した第6～第8の実施の形態の液晶表示装置の駆動方法と同様である。すなわち、分極を有する強誘電性液晶、反強誘電性液晶、および1フィールド期間内に応答するOCBモード液晶のような高速液晶を駆動した場合には、画素電圧  $V_{pix}$ 、液晶光透過率は図19に示したものと同様であり、TN液晶を駆動した場合には、図20に示したものと同様である。

【0161】

すなわち、図25に示した液晶表示装置を用いれば、第6～第8の実施の形態と同様に、液晶の応答に伴う画素電圧  $V_{pix}$  の変動を無くすることができるようになり、1フィールド毎に所望の階調を得ることが可能となる。

【0162】

また、図25に示した液晶表示装置では、アナログアンプとして動作する第1のn型MOSトランジスタ ( $Q_{n1}$ ) 2202の電源およびリセット電源として走査電圧を利用するとともに、アンプのリセットを第1のn型MOSトランジスタ ( $Q_{n1}$ ) 2202自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。その結果、従来よりも小面積でアナログアンプを構成でき、高開口率化を図るのに顕著な効果が得られる。

【0163】

また、上記実施の形態では、p型MOS型トランジスタ ( $Q_p$ ) 2201、第1、第2のn型MOSトランジスタ ( $Q_{n1}$ ) 2202、( $Q_{n2}$ ) 2203は、p-SiTFTで形成すると述べたが、a-SiTFT、CdSeTFT等の

他の薄膜トランジスタで形成しても良いし、単結晶シリコントランジスタで形成しても良い。

## 【0164】

以上説明した、第9の実施の形態の液晶表示装置およびその駆動方法を、1フィールド（1フレーム）期間に入射する光の色を切り換えてカラー表示を行う時分割駆動方式の液晶表示装置に適用したところ、色再現性の良い、高階調表示を実現することができた。これは、本発明の液晶表示装置が、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド（1フレーム）期間内に応答するOCBモード液晶のような高速液晶を駆動した場合においても、液晶の応答に伴う画素電圧の変動が発生せず、1フィールド（1フレーム）期間毎に所望の階調表示を行うことができるという特徴によるものである。この際、液晶材料として、無閾反強誘電性液晶を用いた。

## 【0165】

次に本発明の第10の実施の形態について図面を参照して詳細に説明する。図27は、本発明の液晶表示装置の第10の実施の形態を示す図である。図に示すように、本発明の液晶表示装置は、ゲート電極がN番目（Nは2以上の整数）の走査線2705に接続され、ソース電極及びドレイン電極の一方が信号線102に接続されたn型MOS型トランジスタ（ $Q_n$ ）2701と、ゲート電極がそのn型MOSトランジスタ（ $Q_n$ ）2701のソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が（N-1）番目の走査線2704に接続され、ソース電極及びドレイン電極の他方が画素電極107に接続されたp型MOSトランジスタ（ $Q_p$ ）2702と、そのp型MOSトランジスタ（ $Q_p$ ）2702のゲート電極と電圧保持容量電極105との間に形成された電圧保持容量106と、画素電極107と電圧保持容量電極105の間に接続された抵抗RL2703と、画素電極107と対向電極108との間でスイッチングさせる液晶109とで構成されている。ここで、n型MOS型トランジスタ（ $Q_n$ ）2701およびp型MOSトランジスタ（ $Q_p$ ）2702は、p-SiTFETで構成されている。

## 【0166】

ここで、抵抗  $R_{L2703}$  の値は、第2の実施の形態と同様に、液晶の応答時定数を決めている抵抗成分の値以下に設定されている。すなわち、図60、図62に示した液晶等価回路における抵抗  $R_r$ 、 $R_{sp}$  と、抵抗  $R_{L2703}$  は前述の式(1)に示す関係となっている。

## 【0167】

たとえば、抵抗  $R_{sp}$  が  $5\text{ G}\Omega$  である場合には、抵抗  $R_{L2703}$  は  $1\text{ G}\Omega$  程度の値に設定されてる。 $1\text{ G}\Omega$  という通常の半導体集積回路では用いられない大きな抵抗は、第2の実施の形態で説明したように、半導体薄膜か、もしくは不純物ドーピングされた半導体薄膜で形成する。

## 【0168】

すなわち、抵抗  $R_{L2703}$  を、ライトリー・ドーピングされたp型半導体薄膜(p-)で形成した場合の構造、および形成方法は、図4に示したものと同様である。また、抵抗  $R_{L2703}$  を不純物のドーピングされていない半導体薄膜(i層)で形成した場合の構造、および形成方法は、図5に示したものと同様である。また、抵抗  $R_{L2703}$  を、ライトリー・ドーピングされたn型半導体薄膜(n-)で形成した場合の構造、および形成方法は、図6に示したものと同様である。以上、図27に示す抵抗  $R_{L2703}$  を半導体薄膜、不純物ドーピングされた半導体薄膜で形成する場合について説明したが、式(1)を満たす抵抗であれば、他の材料を適用してもよい。

## 【0169】

以下、図27に示した画素構成を用いた液晶表示装置の駆動方法について説明する。図28は、図27に示した画素構成により、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド期間内で応答するOCBモード液晶等の高速液晶を駆動した場合の、ゲート走査電圧  $V_g$ 、データ信号電圧  $V_d$ 、p型MOSトランジスタ( $Q_p$ )2702のゲート電圧  $V_a$ 、画素電圧  $V_{pix}$  のタイミングチャート、および液晶の光透過率の変化を示したものである。ここで、液晶は、電圧無印加時に暗い状態となる、ノーマリー・ブラックモードで動作する例を示している。

## 【0170】

図に示すように、 $(N-1)$  番目のゲート走査電圧  $V_g(N-1)$  がハイレベル  $V_{gH}$  となる期間においては、画素電極 107 は、 $p$  型 MOS トランジスタ ( $Q_p$ ) 2702 を経由してゲート走査電圧  $V_{gH}$  が転送されることによりリセット状態となる。ここで、下記に述べるように、 $p$  型 MOS トランジスタ ( $Q_p$ ) 2702 は、 $(N-1)$  番目の走査線の選択期間が終了した後、ソースフォロワ型のアナログアンプとして動作するが、この  $(N-1)$  番目の走査線の選択期間において画素電圧  $V_{pix}$  が  $V_{gH}$  となることで、 $p$  型 MOS トランジスタ ( $Q_p$ ) 2702 のリセットが行われる。

#### 【0171】

次に  $N$  番目のゲート走査電圧  $V_g(N)$  がハイレベル  $V_{gH}$  となる期間において、 $n$  型 MOS トランジスタ ( $Q_n$ ) 2701 はオン状態となり、信号線に入力されているデータ信号  $V_d$  が  $n$  型 MOS トランジスタ ( $Q_n$ ) 2701 を経由して  $p$  型 MOS トランジスタ ( $Q_p$ ) 2702 のゲート電極に転送される。水平走査期間が終了し、ゲート走査電圧  $V_g$  がローレベルとなると、 $n$  型 MOS トランジスタ ( $Q_n$ ) 2701 はオフ状態となり、 $p$  型 MOS トランジスタ ( $Q_p$ ) 2702 のゲート電極に転送されたデータ信号は電圧保持容量 105 により保持される。この際、 $p$  型 MOS トランジスタのゲート入力電圧  $V_a$  は、 $n$  型 MOS トランジスタ ( $Q_n$ ) 2701 がオフ状態になる時刻において、 $n$  型 MOS トランジスタ ( $Q_n$ ) 2701 のゲート・ソース間容量を経由してフィードスルー電圧と呼ばれる電圧シフトを起こす。図 28 には、 $V_{f1}$ 、 $V_{f2}$ 、 $V_{f3}$  で示されており、この電圧シフト  $V_{f1} \sim V_{f3}$  の量は、電圧保持容量 105 の値を大きく設計することにより小さくすることができる。 $p$  型 MOS トランジスタ ( $Q_p$ ) 2702 のゲート入力電圧  $V_a$  は、次のフィールド期間において、再び  $N$  番目のゲート走査電圧  $V_g$  がハイレベルとなり、 $n$  型 MOS トランジスタ ( $Q_n$ ) 2701 が選択されるまで保持される。

#### 【0172】

一方、 $p$  型 MOS トランジスタ ( $Q_p$ ) 2702 は、 $(N-1)$  番目の水平走査期間にリセットが完了しており、 $N$  番目の水平走査期間以降は、画素電極 107 をソース電極としたソースフォロワ型アナログアンプとして動作する。この際

、電圧保持容量電極 105 には、p 型 MOS トランジスタ ( $Q_p$ ) 2702 をアナログアンプとして動作させるために、少なくとも ( $V_{dmax} - V_{tp}$ ) よりも高い電圧を供給しておく。ここで、 $V_{dmax}$  はデータ信号  $V_d$  の最大値、 $V_{tp}$  は p 型 MOS トランジスタ ( $Q_p$ ) 2702 の閾値電圧である。p 型 MOS トランジスタ ( $Q_p$ ) 2702 は、次のフィールドで ( $N-1$ ) 番目のゲート走査電圧が  $V_{gH}$  となってリセットが行われるまでの間、その保持されたゲート入力電圧  $V_a$  に応じたアナログ階調電圧を出力することができる。その出力電圧は、p 型 MOS トランジスタ ( $Q_p$ ) 2702 のトランス・コンダクタンス  $g_{mp}$  と抵抗  $R_L$  2703 との値によって変わるが、およそ、前述の式 (2) で表される。

#### 【0173】

以上説明したように、本発明の液晶表示装置を用いれば、従来技術で述べたような液晶の応答に伴う画素電圧  $V_{pix}$  の変動を無くすることができるようになり、図 28 の液晶光透過率にも示されるように、1 フィールド毎に所望の階調を得ることが可能となる。

また、本発明の液晶表示装置では、アナログアンプとして動作する p 型 MOS トランジスタ ( $Q_p$ ) 2702 の電源およびリセット電源として ( $N-1$ ) 番目の走査線電圧を利用するとともに、アンプのリセットを p 型 MOS トランジスタ ( $Q_p$ ) 2702 自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。その結果、従来よりも小面積でアナログアンプを構成でき、高開口率化を図るのに顕著な効果が得られる。

#### 【0174】

また、上記実施の形態では、n 型 MOS 型 トランジスタ ( $Q_n$ ) 2701 および p 型 MOS トランジスタ ( $Q_p$ ) 2702 は、p-Si TFT で形成すると述べたが、a-Si TFT、CdSe TFT 等の他の薄膜トランジスタで形成しても良いし、単結晶シリコントランジスタで形成しても良い。

#### 【0175】

また、図 28 に示した駆動方法と同様の駆動方法により、TN 液晶を駆動する

ことも当然可能である。従来の液晶表示装置では、TN液晶の分子がスイッチングすることにより液晶容量が変化し、前述の図61に示したように、画素電圧 $V_{pix}$ が変動してしまい、本来の液晶光透過率 $T_0$ を得ることができない。それに対し、図27に示した本発明の液晶表示装置においては、p型MOSトランジスタ( $Q_p$ )2702がアンプとして動作し、TN液晶の容量の変化に影響されることなく液晶109に一定の電圧を印加し続けることができるので、本来の光透過率が得られ、正確な階調表示を行うことができる。

## 【0176】

以上説明した、第10の実施の形態の液晶表示装置およびその駆動方法を、1フィールド(1フレーム)期間に入射する光の色を切り換えてカラー表示を行う時分割駆動方式の液晶表示装置に適用したところ、色再現性の良い、高階調表示を実現することができた。これは、本発明の液晶表示装置が、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド(1フレーム)期間内に応答するOCBモード液晶のような高速液晶を駆動した場合においても、液晶の応答に伴う画素電圧の変動が発生せず、1フィールド(1フレーム)期間毎に所望の階調表示を行うことができるという特徴によるものである。この際、液晶材料として、無関反強誘電性液晶を用いた。

## 【0177】

次に本発明の第11の実施の形態について図面を参照して詳細に説明する。図29は、本発明の液晶表示装置の第11の実施の形態を示す図である。図に示すように、本発明の液晶表示装置は、ゲート電極がN番目の走査線2705に接続され、ソース電極及びドレイン電極の一方が信号線102に接続されたn型MOS型トランジスタ( $Q_n$ )2901と、ゲート電極がそのn型MOSトランジスタ( $Q_n$ )2901のソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が(N-1)番目の走査線2704に接続され、ソース電極及びドレイン電極の他方が画素電極107に接続された第1のp型MOSトランジスタ( $Q_{p1}$ )2902と、その第1のp型MOSトランジスタ( $Q_{p1}$ )2902のゲート電極と電圧保持容量電極105との間に形成された電圧保持容量106と、ゲート電極がバイアス電源VB2904に接続され、ソース電

極が前記電圧保持容量電極105に接続され、ドレイン電極が前記画素電極に接続された第2のp型MOSトランジスタ( $Q_{p2}$ )2903と、画素電極107と対向電極108との間でスイッチングさせる液晶109とで構成されている。ここで、n型MOS型トランジスタ( $Q_n$ )2901、および第1、第2のp型MOSトランジスタ( $Q_{p1}$ )2902、( $Q_{p2}$ )2903は、p-SiTF Tで構成されている。また、第2のp型MOSトランジスタ( $Q_{p2}$ )2903のゲート電極に供給するバイアス電源VB2904は、第2のp型MOSトランジスタ( $Q_{p2}$ )2903のソースドレイン間抵抗 $R_{ds p}$ が、液晶の応答時定数を決めている抵抗成分の値以下となるように設定されている。すなわち、図60、図62に示した液晶等価回路における抵抗 $R_r$ 、 $R_{s p}$ と、ソース・ドレイン間抵抗 $R_{ds p}$ は、前述の式(3)に示す関係となっている。

たとえば、抵抗 $R_{s p}$ が5G $\Omega$ である場合には、ソース・ドレイン間抵抗 $R_{ds p}$ が1G $\Omega$ を越えないようなバイアス電源VB2904が供給される。その時の、第2のp型MOSトランジスタ( $Q_{p2}$ )2903のドレイン電流・ゲート電圧特性と動作点は、図11に示したものと同様である。すなわち、図11の例では、第2のp型MOSトランジスタ( $Q_{p2}$ )2903のゲート・ソース間電圧( $V_B - V_{CH}$ )を-3V程度に設定している。その結果、第2のp型MOSトランジスタ( $Q_{p2}$ )2903のドレイン電流はおよそ $1E-8$ (A)となり、ソース・ドレイン間電圧 $V_{ds p}$ が-10Vの時、ソース・ドレイン間抵抗 $R_{ds p}$ は1G $\Omega$ となる。また、第2のp型MOSトランジスタ( $Q_{p2}$ )2903は、弱反転領域で動作しており、ソース・ドレイン間電圧 $V_{ds p}$ が-2~-14Vと変化しても、ドレイン電流はほぼ一定である。第2のp型MOSトランジスタ( $Q_{p2}$ )2903は、第1のp型MOSトランジスタ( $Q_{p1}$ )2902をアナログアンプとして動作させる場合の、バイアス電流源として動作している。

以上説明した、図29に示す第11の実施の形態の液晶表示装置の駆動方法は、先に図28を用いて説明した第10の実施の形態の液晶表示装置の駆動方法と同様である。すなわち、分極を有する強誘電性液晶、反強誘電性液晶、および1フィールド期間内に応答するOCBモード液晶のような高速液晶を駆動した場合

には、画素電圧  $V_{pix}$ 、液晶光透過率は図 28 に示したものと同様である。また、図 29 に示した液晶表示装置を用いて TN 液晶を駆動する場合についても、図 28 に示した駆動方法と同様にして駆動することができる。

#### 【0178】

すなわち、図 29 に示した液晶表示装置を用いれば、第 10 の実施の形態と同様に、液晶の応答に伴う画素電圧  $V_{pix}$  の変動を無くすることができるようになり、1 フィールド毎に所望の階調を得ることが可能となる。

#### 【0179】

また、図 29 に示した液晶表示装置では、アナログアンプとして動作する第 1 の p 型 MOS トランジスタ ( $Q_{p1}$ ) 2902 の電源およびリセット電源として (N-1) 番目の走査線電圧を利用するとともに、アンプのリセットを第 1 の p 型 MOS トランジスタ ( $Q_{p1}$ ) 2902 自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。その結果、従来よりも小面積でアナログアンプを構成でき、高開口率化を図るのに顕著な効果が得られる。

#### 【0180】

また、上記実施の形態では、n 型 MOS 型 トランジスタ ( $Q_n$ ) 2901、第 1、第 2 の p 型 MOS トランジスタ ( $Q_{p1}$ ) 2902、( $Q_{p2}$ ) 2903 は、p-Si TFT で形成すると述べたが、a-Si TFT、CdSe TFT 等の他の薄膜トランジスタで形成しても良いし、単結晶シリコントランジスタで形成しても良い。

#### 【0181】

以上説明した、第 11 の実施の形態の液晶表示装置およびその駆動方法を、1 フィールド (1 フレーム) 期間に入射する光の色を切り換えてカラー表示を行う時分割駆動方式の液晶表示装置に適用したところ、色再現性の良い、高階調表示を実現することができた。これは、本発明の液晶表示装置が、分極を有する強誘電性液晶、反強誘電性液晶、又は 1 フィールド (1 フレーム) 期間内に応答する OCB モード液晶のような高速液晶を駆動した場合においても、液晶の応答に伴う画素電圧の変動が発生せず、1 フィールド (1 フレーム) 期間毎に所望の階調



表示を行うことができるという特徴によるものである。この際、液晶材料として、無閾反強誘電性液晶を用いた。

#### 【0182】

次に本発明の第12の実施の形態について図面を参照して詳細に説明する。図30は、本発明の液晶表示装置の第12の実施の形態を示す図である。図に示すように、本発明の液晶表示装置は、ゲート電極がN番目の走査線2705に接続され、ソース電極及びドレイン電極の一方が信号線102に接続されたn型MOS型トランジスタ( $Q_n$ )2901と、ゲート電極がそのn型MOS型トランジスタ( $Q_n$ )2901のソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が(N-1)番目の走査線2704に接続され、ソース電極及びドレイン電極の他方が画素電極107に接続された第1のp型MOS型トランジスタ( $Q_{p1}$ )2902と、その第1のp型MOS型トランジスタ( $Q_{p1}$ )2902のゲート電極と電圧保持容量電極105との間に形成された電圧保持容量106と、ゲート電極が電圧保持容量電極105に接続され、ソース電極がソース電源VS3001に接続され、ドレイン電極が画素電極107に接続された第2のp型MOS型トランジスタ( $Q_{p2}$ )2903と、画素電極107と対向電極108との間でスイッチングさせる液晶109とで構成されている。ここで、n型MOS型トランジスタ( $Q_n$ )2901、および第1、第2のp型MOS型トランジスタ( $Q_{p1}$ )2902、( $Q_{p2}$ )2903は、p-SiTFTで構成されている。

#### 【0183】

また、第2のp型MOS型トランジスタ( $Q_{p2}$ )2903のソース電極に供給するソース電源VS3001は、第2のp型MOS型トランジスタ( $Q_{p2}$ )2903のソースドレイン間抵抗 $R_{dsp}$ が、液晶の応答時定数を決めている抵抗成分の値以下となるように設定されている。すなわち、図60、図62に示した液晶等価回路における抵抗 $R_r$ 、 $R_{sp}$ と、ソース・ドレイン間抵抗 $R_{dsp}$ は、前述の式(3)に示された関係となっており、たとえば、抵抗 $R_{sp}$ が5GΩである場合には、ソース・ドレイン間抵抗 $R_{dsp}$ が1GΩを越えないようなソース電源VS3001が供給される。第2のp型MOS型トランジスタ( $Q_{p2}$ )2

903の動作点は、前述の図11に示した動作点と同様である。すなわち、図の例では、第2のp型MOSトランジスタ(Qp2)2903のゲート・ソース間電圧( $V_{CH}-V_S$ )を-3V程度に設定している。その結果、第2のp型MOSトランジスタ(Qp2)2903のドレイン電流はおよそ $1E-8$ (A)となり、ソース・ドレイン間電圧 $V_{ds}$ が-10Vの時、ソース・ドレイン間抵抗 $R_{ds}$ は $1G\Omega$ となる。また、第2のp型MOSトランジスタ(Qp2)2903は、弱反転領域で動作しており、ソース・ドレイン間電圧 $V_{ds}$ が-2~-14Vと変化しても、ドレイン電流はほぼ一定である。第2のp型MOSトランジスタ(Qp2)2903は、第1のp型MOSトランジスタ(Qp1)2902をアナログアンプとして動作させる場合の、バイアス電流源として動作している。

## 【0184】

以上説明した、図30に示す第12の実施の形態の液晶表示装置の駆動方法は、先に説明した第10、第11の実施の形態の液晶表示装置の駆動方法と同様である。すなわち、分極を有する強誘電性液晶、反強誘電性液晶、および1フィールド期間内に応答するOCBモード液晶のような高速液晶を駆動した場合には、画素電圧 $V_{pix}$ 、液晶光透過率は図28に示したものと同様である。また、図30に示した液晶表示装置を用いてTN液晶を駆動する場合についても、図28に示した駆動方法と同様にして駆動することができる。

## 【0185】

すなわち、図30に示した液晶表示装置を用いれば、第10、第11の実施の形態と同様に、液晶の応答に伴う画素電圧 $V_{pix}$ の変動を無くすることができるようになり、1フィールド毎に所望の階調を得ることが可能となる。

## 【0186】

また、図30に示した液晶表示装置では、アナログアンプとして動作する第1のp型MOSトランジスタ(Qp1)2902の電源およびリセット電源として走査電圧を利用するとともに、アンプのリセットを第1のp型MOSトランジスタ(Qp1)2902自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。その結果、従来より

も小面積でアナログアンプを構成でき、高開口率化を図るのに顕著な効果が得られる。

#### 【0187】

また、上記実施の形態では、 $n$ 型MOS型トランジスタ ( $Q_n$ ) 2901、第1、第2の $p$ 型MOSトランジスタ ( $Q_{p1}$ ) 2902、( $Q_{p2}$ ) 2903は、 $p$ -Si TFTで形成すると述べたが、 $a$ -Si TFT、CdSe TFT等の他の薄膜トランジスタで形成しても良いし、単結晶シリコントランジスタで形成しても良い。

#### 【0188】

以上説明した、第12の実施の形態の液晶表示装置およびその駆動方法を、1フィールド (1フレーム) 期間に入射する光の色を切り換えてカラー表示を行う時分割駆動方式の液晶表示装置に適用したところ、色再現性の良い、高階調表示を実現することができた。これは、本発明の液晶表示装置が、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド (1フレーム) 期間内に応答するOCBモード液晶のような高速液晶を駆動した場合においても、液晶の応答に伴う画素電圧の変動が発生せず、1フィールド (1フレーム) 期間毎に所望の階調表示を行うことができるという特徴によるものである。この際、液晶材料として、無関反強誘電性液晶を用いた。

#### 【0189】

次に本発明の第13の実施の形態について図面を参照して詳細に説明する。図31は、本発明の液晶表示装置の第13の実施の形態を示す図である。図に示すように、本発明の液晶表示装置は、ゲート電極が $N$ 番目の走査線2705に接続され、ソース電極及びドレイン電極の一方が信号線102に接続された $n$ 型MOS型トランジスタ ( $Q_n$ ) 2901と、ゲート電極がその $n$ 型MOSトランジスタ ( $Q_n$ ) 2901のソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が ( $N-1$ ) 番目の走査線2705に接続され、ソース電極及びドレイン電極の他方が画素電極107に接続された第1の $p$ 型MOSトランジスタ ( $Q_{p1}$ ) 2902と、その第1の $p$ 型MOSトランジスタ ( $Q_{p1}$ ) 2902のゲート電極と電圧保持容量電極105との間に形成された電圧保

持容量106と、ゲート電極およびソース電極が電圧保持容量電極105に接続され、ドレイン電極が画素電極107に接続された第2のp型MOSトランジスタ(Qp2)2903と、画素電極107と対向電極108との間でスイッチングさせる液晶109とで構成されている。ここで、n型MOS型トランジスタ(Qn)2901、および第1、第2のp型MOSトランジスタ(Qp1)2902、(Qp2)2903は、p-SiTFTで構成されている。

#### 【0190】

また、第2のp型MOSトランジスタ(Qp2)2903のゲート電極とソース電極はともに電圧保持容量電極105に接続されているため、第2のp型MOSトランジスタ(Qp2)2903のゲート・ソース間電圧 $V_{gs\ p}$ は0Vとなる。このバイアス条件下で、第2のp型MOSトランジスタ(Qp2)2903のソース・ドレイン間抵抗 $R_{ds\ p}$ が前述の式(3)を満たすように、第2のp型MOSトランジスタ(Qp2)2903の閾値電圧をチャネル・ドーズにより正側にシフト制御している。その時の、第2のp型MOSトランジスタ(Qp2)2903のドレイン電流・ゲート電圧特性と動作点は、図14に示したものと同様である。すなわち、図14に示すように、ゲート・ソース間電圧が0Vの時、ドレイン電流が約 $1\text{E}-8$ (A)となるように、チャネルドーズにより、閾値電圧が正側にシフト制御されている。その結果、第2のp型MOSトランジスタ(Qp2)2903のドレイン電流はおよそ $1\text{E}-8$ (A)となり、ソース・ドレイン間電圧 $V_{ds\ p}$ が-10Vの時、ソース・ドレイン間抵抗 $R_{ds\ p}$ は1G $\Omega$ となる。また、第2のp型MOSトランジスタ(Qp2)2903は、弱反転領域で動作しており、ソース・ドレイン間電圧 $V_{ds\ p}$ が-2~-14Vと変化しても、ドレイン電流はほぼ一定である。第2のp型MOSトランジスタ(Qp2)2903は、第1のp型MOSトランジスタ(Qp1)2902をアナログアンプとして動作させる場合の、バイアス電流源として動作している。

#### 【0191】

第13の実施の形態では、第11、第12の実施の形態で必要であった、バイアス電源VB2904、ソース電源VS3001が不要となっているが、チャネルドーズ工程が余分に必要となる。

【0192】

以上説明した、図31に示す第13の実施の形態の液晶表示装置の駆動方法は、先に説明した第10～第12の実施の形態の液晶表示装置の駆動方法と同様である。すなわち、分極を有する強誘電性液晶、反強誘電性液晶、および1フィールド期間内に応答するOCBモード液晶のような高速液晶を駆動した場合には、画素電圧 $V_{pix}$ 、液晶光透過率は図28に示したものと同様である。また、図31に示した液晶表示装置を用いてTN液晶を駆動する場合についても、図28に示した駆動方法と同様にして駆動することができる。

【0193】

すなわち、図31に示した液晶表示装置を用いれば、第10～第12の実施の形態と同様に、液晶の応答に伴う画素電圧 $V_{pix}$ の変動を無くすることができるようになり、1フィールド毎に所望の階調を得ることが可能となる。

【0194】

また、図31に示した液晶表示装置では、アナログアンプとして動作する第1のp型MOSトランジスタ( $Q_{p1}$ )2902の電源およびリセット電源として走査電圧を利用するとともに、アンプのリセットを第1のp型MOSトランジスタ( $Q_{p1}$ )2902自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。その結果、従来よりも小面積でアナログアンプを構成でき、高開口率化を図るのに顕著な効果が得られる。

【0195】

また、上記実施の形態では、n型MOS型トランジスタ( $Q_n$ )2901、第1、第2のp型MOSトランジスタ( $Q_{p1}$ )2902、( $Q_{p2}$ )2903は、p-SiTFTで形成すると述べたが、a-SiTFT、CdSeTFT等の他の薄膜トランジスタで形成しても良いし、単結晶シリコントランジスタで形成しても良い。

【0196】

以上説明した、第13の実施の形態の液晶表示装置およびその駆動方法を、1フィールド(1フレーム)期間に入射する光の色を切り換えてカラー表示を行う

時分割駆動方式の液晶表示装置に適用したところ、色再現性の良い、高階調表示を実現することができた。これは、本発明の液晶表示装置が、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド（1フレーム）期間内に応答するOCBモード液晶のような高速液晶を駆動した場合においても、液晶の応答に伴う画素電圧の変動が発生せず、1フィールド（1フレーム）期間毎に所望の階調表示を行うことができるという特徴によるものである。この際、液晶材料として、無関反強誘電性液晶を用いた。

## 【0197】

次に本発明の第14の実施の形態について図面を参照して詳細に説明する。図32は、本発明の液晶表示装置の第14の実施の形態を示す図である。図に示すように、本発明の液晶表示装置は、ゲート電極がN番目の走査線2705に接続され、ソース電極及びドレイン電極の一方が信号線102に接続されたp型MOS型トランジスタ（ $Q_p$ ）3201と、ゲート電極がそのp型MOS型トランジスタ（ $Q_p$ ）3201のソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が（N-1）番目の走査線2704に接続され、ソース電極及びドレイン電極の他方が画素電極107に接続されたn型MOS型トランジスタ（ $Q_n$ ）3202と、そのn型MOS型トランジスタ（ $Q_n$ ）3202のゲート電極と電圧保持容量電極105との間に形成された電圧保持容量106と、画素電極107と電圧保持容量電極105の間に接続された抵抗 $RL$ 3203と、画素電極107と対向電極108との間でスイッチングさせる液晶109とで構成されている。ここで、p型MOS型トランジスタ（ $Q_p$ ）3201およびn型MOS型トランジスタ（ $Q_n$ ）3202は、p-SiTFTで構成されている。

## 【0198】

また、抵抗 $RL$ 3203の値は、第6の実施の形態と同様に、液晶の応答時定数を決めている抵抗成分の値以下に設定されている。すなわち、図60、図62に示した液晶等価回路における抵抗 $R_r$ 、 $R_{sp}$ と、抵抗 $RL$ 3203は前述の式（1）に示す関係となっている。

## 【0199】

たとえば、抵抗 $R_{sp}$ が $5\text{ G}\Omega$ である場合には、抵抗 $RL$ 3203は $1\text{ G}\Omega$ 程

度の値に設定されてる。1 GΩという通常の半導体集積回路では用いられない大きな抵抗は、第6の実施の形態で説明したように、半導体薄膜か、もしくは不純物ドーピングされた半導体薄膜で形成する。

#### 【0200】

すなわち、抵抗RL3203を、ライトリー・ドーピングされたn型半導体薄膜(n-)で形成した場合の構造、および形成方法は、図16に示したものと同様である。また、抵抗RL3203を不純物のドーピングされていない半導体薄膜(i層)で形成した場合の構造、および形成方法は、図17に示したものと同様である。また、抵抗RL3203を、ライトリー・ドーピングされたp型半導体薄膜(p-)で形成した場合の構造、および形成方法は、図18に示したものと同様である。以上、図32に示す抵抗RL3203を半導体薄膜、不純物ドーピングされた半導体薄膜で形成する場合について説明したが、式(1)を満たす抵抗であれば、他の材料を適用してもよい。

#### 【0201】

以下、図32に示した画素構成を用いた液晶表示装置の駆動方法について説明する。図33は、図32に示した画素構成により、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド期間内で応答するOCBモード液晶等の高速液晶を駆動した場合の、ゲート走査電圧Vg、データ信号電圧Vd、n型MOSトランジスタ(Qn)3202のゲート電圧Va、画素電圧Vpixのタイミングチャート、および液晶の光透過率の変化を示したものである。ここで、液晶は、電圧無印加時に暗い状態となる、ノーマリー・ブラックモードで動作する例を示している。

#### 【0202】

図に示すように、(N-1)番目のゲート走査電圧Vg(N-1)がローレベルVgLとなる期間においては、画素電極107は、n型MOSトランジスタ(Qn)3202を経由してゲート走査電圧VgHが転送されることによりリセット状態となる。ここで、下記に述べるように、n型MOSトランジスタ(Qn)3202は、(N-1)番目の走査線の選択期間が終了した後、ソースフォロワ型のアナログアンプとして動作するが、この(N-1)番目の走査線の選択期間

において画素電圧 $V_{pix}$ が $V_{gL}$ となることで、 $n$ 型MOSトランジスタ( $Q_n$ ) 3202のリセットが行われる。

### 【0203】

次に $N$ 番目のゲート走査電圧 $V_g(N)$ がローレベル $V_{gH}$ となる期間において、 $p$ 型MOSトランジスタ( $Q_p$ ) 3201はオン状態となり、信号線に入力されているデータ信号 $V_d$ が $p$ 型MOSトランジスタ( $Q_p$ ) 3201を経由して $n$ 型MOSトランジスタ( $Q_n$ ) 3202のゲート電極に転送される。水平走査期間が終了し、ゲート走査電圧 $V_g$ がハイレベルとなると、 $p$ 型MOSトランジスタ( $Q_p$ ) 3201はオフ状態となり、 $n$ 型MOSトランジスタ( $Q_n$ ) 3202のゲート電極に転送されたデータ信号は電圧保持容量105により保持される。この際、 $n$ 型MOSトランジスタ( $Q_n$ ) 3202のゲート入力電圧 $V_a$ は、 $p$ 型MOSトランジスタ( $Q_p$ ) 3201がオフ状態になる時刻において、 $p$ 型MOSトランジスタ( $Q_p$ ) 3201のゲート・ソース間容量を経由してフィードスルー電圧と呼ばれる電圧シフトを起こす。図33には、 $V_{f1}$ 、 $V_{f2}$ 、 $V_{f3}$ で示されており、この電圧シフト $V_{f1} \sim V_{f3}$ の量は、電圧保持容量105の値を大きく設計することにより小さくすることができる。 $n$ 型MOSトランジスタ( $Q_n$ ) 3202のゲート入力電圧 $V_a$ は、次のフィールド期間において、再び $N$ 番目のゲート走査電圧 $V_g$ がローレベルとなり、 $p$ 型MOSトランジスタ( $Q_p$ ) 3201が選択されるまで保持される。

### 【0204】

一方、 $n$ 型MOSトランジスタ( $Q_n$ ) 3202は、 $(N-1)$ 番目の水平走査期間にリセットが完了しており、 $N$ 番目の水平走査期間以降は、画素電極107をソース電極としたソースフォロワ型アナログアンプとして動作する。この際、電圧保持容量電極105には、 $n$ 型MOSトランジスタ( $Q_n$ ) 3202をアナログアンプとして動作させるために、少なくとも $(V_{dmin} - V_{tn})$ よりも低い電圧を供給しておく。ここで、 $V_{dmin}$ はデータ信号 $V_d$ の最小値、 $V_{tn}$ は $n$ 型MOSトランジスタ( $Q_n$ ) 3202の閾値電圧である。 $n$ 型MOSトランジスタ( $Q_n$ ) 3202は、次のフィールドで $(N-1)$ 番目のゲート走査電圧が $V_{gL}$ となってリセットが行われるまでの間、その保持されたゲート入



力電圧  $V_a$  に応じたアナログ階調電圧を出力することができる。その出力電圧は、 $n$  型 MOS トランジスタ ( $Q_n$ ) 3202 のトランス・コンダクタンス  $g_{mn}$  と抵抗  $R_{L3203}$  との値によって変わるが、およそ、前述の式 (4) で表される。

## 【0205】

以上説明したように、本発明の液晶表示装置を用いれば、従来技術で述べたような液晶の応答に伴う画素電圧  $V_{pix}$  の変動を無くすることができるようになり、図 33 の液晶光透過率にも示されるように、1 フィールド毎に所望の階調を得ることが可能となる。

また、本発明の液晶表示装置では、アナログアンプとして動作する  $n$  型 MOS トランジスタ ( $Q_n$ ) 3202 の電源およびリセット電源として (N-1) 番目の走査線電圧を利用するとともに、アンプのリセットを  $n$  型 MOS トランジスタ ( $Q_n$ ) 3202 自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。その結果、従来よりも小面積でアナログアンプを構成でき、高開口率化を図るのに顕著な効果が得られる。

## 【0206】

また、上記実施の形態では、 $p$  型 MOS 型 トランジスタ ( $Q_p$ ) 3201 および  $n$  型 MOS トランジスタ ( $Q_n$ ) 3202 は、 $p$ -Si TFT で形成すると述べたが、 $a$ -Si TFT、CdSe TFT 等の他の薄膜トランジスタで形成しても良いし、単結晶シリコントランジスタで形成しても良い。

## 【0207】

また、図 33 に示した駆動方法と同様の駆動方法により、TN 液晶を駆動することも当然可能である。従来の液晶表示装置では、TN 液晶の分子がスイッチングすることにより液晶容量が変化し、前述の図 61 に示したように、画素電圧  $V_{pix}$  が変動してしまい、本来の液晶光透過率  $T_0$  を得ることができない。それに対し、図 32 に示した本発明の液晶表示装置においては、 $n$  型 MOS トランジスタ ( $Q_n$ ) 3202 がアンプとして動作し、TN 液晶の容量の変化に影響されることなく液晶 109 に一定の電圧を印加し続けることができるので、本来の光

透過率が得られ、正確な階調表示を行うことができる。

#### 【0208】

以上説明した、第14の実施の形態の液晶表示装置およびその駆動方法を、1フィールド（1フレーム）期間に入射する光の色を切り換えてカラー表示を行う時分割駆動方式の液晶表示装置に適用したところ、色再現性の良い、高階調表示を実現することができた。これは、本発明の液晶表示装置が、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド（1フレーム）期間内に応答するOCBモード液晶のような高速液晶を駆動した場合においても、液晶の応答に伴う画素電圧の変動が発生せず、1フィールド（1フレーム）期間毎に所望の階調表示を行うことができるという特徴によるものである。この際、液晶材料として、無関反強誘電性液晶を用いた。

#### 【0209】

次に本発明の第15の実施の形態について図面を参照して詳細に説明する。図34は、本発明の液晶表示装置の第15の実施の形態を示す図である。図に示すように、本発明の液晶表示装置は、ゲート電極がN番目の走査線2705に接続され、ソース電極及びドレイン電極の一方が信号線102に接続されたp型MOS型トランジスタ（ $Q_p$ ）3401と、ゲート電極がそのp型MOS型トランジスタ（ $Q_p$ ）3401のソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が（N-1）番目の走査線2704に接続され、ソース電極及びドレイン電極の他方が画素電極107に接続された第1のn型MOS型トランジスタ（ $Q_{n1}$ ）3402と、その第1のn型MOS型トランジスタ（ $Q_{n1}$ ）3402のゲート電極と電圧保持容量電極105との間に形成された電圧保持容量106と、ゲート電極がバイアス電源VB3404に接続され、ソース電極が前記電圧保持容量電極105に接続され、ドレイン電極が前記画素電極に接続された第2のn型MOS型トランジスタ（ $Q_{n2}$ ）3403と、画素電極107と対向電極108との間でスイッチングさせる液晶109とで構成されている。ここで、p型MOS型トランジスタ（ $Q_p$ ）3401、および第1、第2のn型MOS型トランジスタ（ $Q_{n1}$ ）3402、（ $Q_{n2}$ ）3403は、p-Si TFTで構成されている。また、第2のn型MOS型トランジスタ（ $Q_{n2}$ ）3403

のゲート電極に供給するバイアス電源VB3404は、第2のn型MOSトランジスタ(Qn2)3403のソースドレイン間抵抗Rdsnが、液晶の応答時定数を決めている抵抗成分の値以下となるように設定されている。すなわち、図60、図62に示した液晶等価回路における抵抗Rr、Rspと、ソース・ドレイン間抵抗Rdsnは、前述の式(5)に示す関係となっている。

たとえば、抵抗Rsnが5GΩである場合には、ソース・ドレイン間抵抗Rdsnが1GΩを越えないようなバイアス電源VB3404が供給される。その時の、第2のn型MOSトランジスタ(Qn2)3403のドレイン電流・ゲート電圧特性と動作点は、図23に示したものと同様である。すなわち、図23の例では、第2のn型MOSトランジスタ(Qn2)3403のゲート・ソース間電圧(VB-VCH)を3V程度に設定している。その結果、第2のn型MOSトランジスタ(Qn2)3403のドレイン電流はおよそ1E-8(A)となり、ソース・ドレイン間電圧Vdsnが10Vの時、ソース・ドレイン間抵抗Rdsnは1GΩとなる。また、第2のn型MOSトランジスタ(Qn2)3403は、弱反転領域で動作しており、ソース・ドレイン間電圧Vdsnが2~14Vと変化しても、ドレイン電流はほぼ一定である。第2のn型MOSトランジスタ(Qn2)3403は、第1のn型MOSトランジスタ(Qn1)3402をアナログアンプとして動作させる場合の、バイアス電流源として動作している。

#### 【0210】

以上説明した、図34に示す第15の実施の形態の液晶表示装置の駆動方法は、先に図33を用いて説明した第14の実施の形態の液晶表示装置の駆動方法と同様である。すなわち、分極を有する強誘電性液晶、反強誘電性液晶、および1フィールド期間内に応答するOCBモード液晶のような高速液晶を駆動した場合には、画素電圧Vpix、液晶光透過率は図33に示したものと同様である。また、図34に示した液晶表示装置を用いてTN液晶を駆動する場合についても、図33に示した駆動方法と同様にして駆動することができる。

#### 【0211】

すなわち、図34に示した液晶表示装置を用いれば、第14の実施の形態と同様に、液晶の応答に伴う画素電圧Vpixの変動を無くすることができるようにな

り、1フィールド毎に所望の階調を得ることが可能となる。

#### 【0212】

また、図34に示した液晶表示装置では、アナログアンプとして動作する第1のn型MOSトランジスタ(Q<sub>n1</sub>)3402の電源およびリセット電源として(N-1)番目の走査線電圧を利用するとともに、アンプのリセットを第1のn型MOSトランジスタ(Q<sub>n1</sub>)3402自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。その結果、従来よりも小面積でアナログアンプを構成でき、高開口率化を図るのに顕著な効果が得られる。

#### 【0213】

また、上記実施の形態では、p型MOS型トランジスタ(Q<sub>p</sub>)3401、第1、第2のn型MOSトランジスタ(Q<sub>n1</sub>)3402、(Q<sub>n2</sub>)3403は、p-SiTFTで形成すると述べたが、a-SiTFT、CdSeTFT等の他の薄膜トランジスタで形成しても良いし、単結晶シリコントランジスタで形成しても良い。

#### 【0214】

以上説明した、第15の実施の形態の液晶表示装置およびその駆動方法を、1フィールド(1フレーム)期間に入射する光の色を切り換えてカラー表示を行う時分割駆動方式の液晶表示装置に適用したところ、色再現性の良い、高階調表示を実現することができた。これは、本発明の液晶表示装置が、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド(1フレーム)期間内に応答するOCBモード液晶のような高速液晶を駆動した場合においても、液晶の応答に伴う画素電圧の変動が発生せず、1フィールド(1フレーム)期間毎に所望の階調表示を行うことができるという特徴によるものである。この際、液晶材料として、無閾反強誘電性液晶を用いた。

#### 【0215】

次に本発明の第16の実施の形態について図面を参照して詳細に説明する。図35は、本発明の液晶表示装置の第16の実施の形態を示す図である。図に示すように、本発明の液晶表示装置は、ゲート電極がN番目の走査線2705に接続

され、ソース電極及びドレイン電極の一方が信号線102に接続されたp型MOS型トランジスタ( $Q_p$ )3401と、ゲート電極がそのp型MOSトランジスタ( $Q_p$ )3401のソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が(N-1)番目の走査線2704に接続され、ソース電極及びドレイン電極の他方が画素電極107に接続された第1のn型MOSトランジスタ( $Q_{n1}$ )3402と、その第1のn型MOSトランジスタ( $Q_{n1}$ )3402のゲート電極と電圧保持容量電極105との間に形成された電圧保持容量106と、ゲート電極が電圧保持容量電極105に接続され、ソース電極がソース電源VS3501に接続され、ドレイン電極が画素電極107に接続された第2のn型MOSトランジスタ( $Q_{n2}$ )3403と、画素電極107と対向電極108との間でスイッチングさせる液晶109とで構成されている。ここで、p型MOS型トランジスタ( $Q_p$ )3401、および第1、第2のn型MOSトランジスタ( $Q_{n1}$ )3402、( $Q_{n2}$ )3403は、p-SiTFTで構成されている。

#### 【0216】

また、第2のn型MOSトランジスタ( $Q_{n2}$ )3403のソース電極に供給するソース電源VS3501は、第2のn型MOSトランジスタ( $Q_{n2}$ )3403のソースドレイン間抵抗 $R_{dsn}$ が、液晶の応答時定数を決めている抵抗成分の値以下となるように設定されている。すなわち、図60、図62に示した液晶等価回路における抵抗 $R_r$ 、 $R_{sp}$ と、ソース・ドレイン間抵抗 $R_{dsp}$ は、前述の式(5)に示された関係となっており、たとえば、抵抗 $R_{sn}$ が5G $\Omega$ である場合には、ソース・ドレイン間抵抗 $R_{dsn}$ が1G $\Omega$ を越えないようなソース電源VS3501が供給される。第2のn型MOSトランジスタ( $Q_{n2}$ )3403の動作点は、前述の図23に示した動作点と同様である。すなわち、図23の例では、第2のn型MOSトランジスタ( $Q_{n2}$ )3403のゲート・ソース間電圧( $V_{CH}-V_S$ )を3V程度に設定している。その結果、第2のn型MOSトランジスタ( $Q_{n2}$ )3403のドレイン電流はおよそ1E-8(A)となり、ソース・ドレイン間電圧 $V_{dsn}$ が10Vの時、ソース・ドレイン間抵抗 $R_{dsn}$ は1G $\Omega$ となる。また、第2のn型MOSトランジスタ( $Q_{n2}$ )34

03は、弱反転領域で動作しており、ソース・ドレイン間電圧 $V_{dsn}$ が2～14Vと変化しても、ドレイン電流はほぼ一定である。第2のn型MOSトランジスタ( $Q_{n2}$ )3403は、第1のn型MOSトランジスタ( $Q_{n1}$ )3402をアナログアンプとして動作させる場合の、バイアス電流源として動作している。

#### 【0217】

以上説明した、図35に示す第16の実施の形態の液晶表示装置の駆動方法は、先に説明した第14、第15の実施の形態の液晶表示装置の駆動方法と同様である。すなわち、分極を有する強誘電性液晶、反強誘電性液晶、および1フィールド期間内に応答するOCBモード液晶のような高速液晶を駆動した場合には、画素電圧 $V_{pix}$ 、液晶光透過率は図33に示したものと同様である。また、図35に示した液晶表示装置を用いてTN液晶を駆動する場合についても、図33に示した駆動方法と同様にして駆動することができる。

#### 【0218】

すなわち、図35に示した液晶表示装置を用いれば、第14、第15の実施の形態と同様に、液晶の応答に伴う画素電圧 $V_{pix}$ の変動を無くすることができるようになり、1フィールド毎に所望の階調を得ることが可能となる。

#### 【0219】

また、図35に示した液晶表示装置では、アナログアンプとして動作する第1のn型MOSトランジスタ( $Q_{n1}$ )3402の電源およびリセット電源として(N-1)番目の走査線電圧を利用するとともに、アンプのリセットを第1のn型MOSトランジスタ( $Q_{n1}$ )3402自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。その結果、従来よりも小面積でアナログアンプを構成でき、高開口率化を図るのに顕著な効果が得られる。

#### 【0220】

また、上記実施の形態では、p型MOS型トランジスタ( $Q_p$ )3401、第1、第2のn型MOSトランジスタ( $Q_{n1}$ )3402、( $Q_{n2}$ )3403は、p-SiTFTで形成すると述べたが、a-SiTFT、CdSeTFT等の

他の薄膜トランジスタで形成しても良いし、単結晶シリコントランジスタで形成しても良い。

## 【0221】

以上説明した、第16の実施の形態の液晶表示装置およびその駆動方法を、1フィールド（1フレーム）期間に入射する光の色を切り換えてカラー表示を行う時分割駆動方式の液晶表示装置に適用したところ、色再現性の良い、高階調表示を実現することができた。これは、本発明の液晶表示装置が、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド（1フレーム）期間内に応答するOCBモード液晶のような高速液晶を駆動した場合においても、液晶の応答に伴う画素電圧の変動が発生せず、1フィールド（1フレーム）期間毎に所望の階調表示を行うことができるという特徴によるものである。この際、液晶材料として、無閾反強誘電性液晶を用いた。

## 【0222】

次に本発明の第17の実施の形態について図面を参照して詳細に説明する。図36は、本発明の液晶表示装置の第17の実施の形態を示す図である。図に示すように、本発明の液晶表示装置は、ゲート電極がN番目の走査線2705に接続され、ソース電極及びドレイン電極の一方が信号線102に接続されたp型MOS型トランジスタ（ $Q_p$ ）3401と、ゲート電極がそのp型MOS型トランジスタ（ $Q_p$ ）3401のソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が（N-1）番目の走査線2705に接続され、ソース電極及びドレイン電極の他方が画素電極107に接続された第1のn型MOS型トランジスタ（ $Q_{n1}$ ）3402と、その第1のn型MOS型トランジスタ（ $Q_{n1}$ ）3402のゲート電極と電圧保持容量電極105との間に形成された電圧保持容量106と、ゲート電極およびソース電極が電圧保持容量電極105に接続され、ドレイン電極が画素電極107に接続された第2のn型MOS型トランジスタ（ $Q_{n2}$ ）3403と、画素電極107と対向電極108との間でスイッチングさせる液晶109とで構成されている。ここで、p型MOS型トランジスタ（ $Q_p$ ）3401、および第1、第2のn型MOS型トランジスタ（ $Q_{n1}$ ）3402、（ $Q_{n2}$ ）3403は、p-Si TFTで構成されている。

## 【0223】

また、第2のn型MOSトランジスタ(Qn2)3403のゲート電極とソース電極はともに電圧保持容量電極105に接続されているため、第2のn型MOSトランジスタ(Qn2)3403のゲート・ソース間電圧 $V_{gsn}$ は0Vとなる。このバイアス条件下で、第2のn型MOSトランジスタ(Qn2)3403のソース・ドレイン間抵抗 $R_{dsn}$ が前述の式(5)を満たすように、第2のn型MOSトランジスタ(Qn2)3403の閾値電圧をチャネル・ドーズにより負側にシフト制御している。その時の、第2のn型MOSトランジスタ(Qn2)3403のドレイン電流・ゲート電圧特性と動作点は、図26に示したものと同様である。すなわち、図26に示すように、ゲート・ソース間電圧が0Vの時、ドレイン電流が約 $1E-8$ (A)となるように、チャネルドーズにより、閾値電圧が負側にシフト制御されている。その結果、第2のn型MOSトランジスタ(Qn2)3403のドレイン電流はおよそ $1E-8$ (A)となり、ソース・ドレイン間電圧 $V_{dsn}$ が10Vの時、ソース・ドレイン間抵抗 $R_{dsn}$ は $1G\Omega$ となる。また、第2のn型MOSトランジスタ(Qn2)3403は、弱反転領域で動作しており、ソース・ドレイン間電圧 $V_{dsn}$ が2~14Vと変化しても、ドレイン電流はほぼ一定である。第2のn型MOSトランジスタ(Qn2)3403は、第1のn型MOSトランジスタ(Qn1)3402をアナログアンプとして動作させる場合の、バイアス電流源として動作している。

## 【0224】

第17の実施の形態では、第15、第16の実施の形態で必要であった、バイアス電源VB3404、ソース電源VS3501が不要となっているが、チャネルドーズ工程が余分に必要となる。

## 【0225】

以上説明した、図36に示す第17の実施の形態の液晶表示装置の駆動方法は、先に説明した第14~第16の実施の形態の液晶表示装置の駆動方法と同様である。すなわち、分極を有する強誘電性液晶、反強誘電性液晶、および1フィールド期間内に応答するOCBモード液晶のような高速液晶を駆動した場合には、画素電圧 $V_{pix}$ 、液晶光透過率は図33に示したものと同様である。また、図



36に示した液晶表示装置を用いてTN液晶を駆動する場合についても、図28に示した駆動方法と同様にして駆動することができる。

【0226】

すなわち、図36に示した液晶表示装置を用いれば、第14～第16の実施の形態と同様に、液晶の応答に伴う画素電圧 $V_{pix}$ の変動を無くすることができるようになり、1フィールド毎に所望の階調を得ることが可能となる。

【0227】

また、図36に示した液晶表示装置では、アナログアンプとして動作する第1のn型MOSトランジスタ( $Q_{n1}$ )3402の電源およびリセット電源として( $N-1$ )番目の走査線電圧を利用するとともに、アンプのリセットを第1のn型MOSトランジスタ( $Q_{n1}$ )3402自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。その結果、従来よりも小面積でアナログアンプを構成でき、高開口率化を図るのに顕著な効果が得られる。

【0228】

また、上記実施の形態では、p型MOS型トランジスタ( $Q_p$ )3401、第1、第2のn型MOSトランジスタ( $Q_{n1}$ )3402、( $Q_{n2}$ )3403は、p-SiTFTで形成すると述べたが、a-SiTFT、CdSeTFT等の他の薄膜トランジスタで形成しても良いし、単結晶シリコントランジスタで形成しても良い。

【0229】

以上説明した、第17の実施の形態の液晶表示装置およびその駆動方法を、1フィールド(1フレーム)期間に入射する光の色を切り換えてカラー表示を行う時分割駆動方式の液晶表示装置に適用したところ、色再現性の良い、高階調表示を実現することができた。これは、本発明の液晶表示装置が、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド(1フレーム)期間内に応答するOCBモード液晶のような高速液晶を駆動した場合においても、液晶の応答に伴う画素電圧の変動が発生せず、1フィールド(1フレーム)期間毎に所望の階調表示を行うことができるという特徴によるものである。この際、液晶材料として、

無閾反強誘電性液晶を用いた。

#### 【0230】

次に本発明の第18の実施の形態について図面を参照して詳細に説明する。図37は、本発明の液晶表示装置の第18の実施の形態を示す図である。図に示すように、本発明の液晶表示装置は、ゲート電極が走査線101に接続され、ソース電極及びドレイン電極の一方が信号線102に接続されたn型MOS型トランジスタ( $Q_n$ )3701と、ゲート電極がそのn型MOSトランジスタ( $Q_n$ )3701のソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセットパルス電源VR3704に接続され、ソース電極及びドレイン電極の他方が画素電極107に接続されたp型MOSトランジスタ( $Q_p$ )3702と、そのp型MOSトランジスタ( $Q_p$ )3702のゲート電極と電圧保持容量電極105との間に形成された電圧保持容量106と、画素電極107と電圧保持容量電極105の間に接続された抵抗RL3703と、画素電極107と対向電極108との間でスイッチングさせる液晶109とで構成されている。ここで、n型MOS型トランジスタ( $Q_n$ )3701およびp型MOSトランジスタ( $Q_p$ )3702は、p-SiTFTで構成されている。

#### 【0231】

また、抵抗RL3703の値は、第2の実施の形態と同様に、液晶の応答時定数を決めている抵抗成分の値以下に設定されている。すなわち、図60、図62に示した液晶等価回路における抵抗 $R_r$ 、 $R_{sp}$ と、抵抗RL3703は前述の式(1)に示す関係となっている。

#### 【0232】

たとえば、抵抗 $R_{sp}$ が5G $\Omega$ である場合には、抵抗RL3703は1G $\Omega$ 程度の値に設定されてる。1G $\Omega$ という通常の半導体集積回路では用いられない大きな抵抗は、第2の実施の形態で説明したように、半導体薄膜か、もしくは不純物ドーピングされた半導体薄膜で形成する。

#### 【0233】

すなわち、抵抗RL3703を、ライトリー・ドーピングされたp型半導体薄膜(p-)で形成した場合の構造、および形成方法は、図4に示したものと同様

である。また、抵抗 $R_{L3703}$ を不純物のドーピングされていない半導体薄膜（ $i$ 層）で形成した場合の構造、および形成方法は、図5に示したものと同様である。また、抵抗 $R_{L3703}$ を、ライトリー・ドーピングされた $n$ 型半導体薄膜（ $n^-$ ）で形成した場合の構造、および形成方法は、図6に示したものと同様である。以上、図37に示す抵抗 $R_{L3703}$ を半導体薄膜、不純物ドーピングされた半導体薄膜で形成する場合について説明したが、式（1）を満たす抵抗であれば、他の材料を適用してもよい。

#### 【0234】

以下、図37に示した画素構成を用いた液晶表示装置の駆動方法について説明する。図38は、図37に示した画素構成により、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド期間内で応答するOCBモード液晶等の高速液晶を駆動した場合の、リセットパルス電圧 $V_R$ 、ゲート走査電圧 $V_g$ 、データ信号電圧 $V_d$ 、 $p$ 型MOSトランジスタ（ $Q_p$ ）3702のゲート電圧 $V_a$ 、画素電圧 $V_{pix}$ のタイミングチャート、および液晶の光透過率の変化を示したものである。ここで、液晶は、電圧無印加時に暗い状態となる、ノーマリー・ブラックモードで動作する例を示している。

図に示すように、リセットパルス電圧 $V_R$ がハイレベル $V_{gH}$ となる期間においては、画素電極107は、 $p$ 型MOSトランジスタ（ $Q_p$ ）3702を経由してゲート走査電圧 $V_{gH}$ が転送されることによりリセット状態となる。ここで、下記に述べるように、 $p$ 型MOSトランジスタ（ $Q_p$ ）3702は、リセットパルス $V_R$ がローレベルになった後、ソースフォロワ型のアナログアンプとして動作するが、リセットパルス電圧 $V_R$ がハイレベルの期間に、画素電圧 $V_{pix}$ が $V_{gH}$ となることで、 $p$ 型MOSトランジスタ（ $Q_p$ ）3702のリセットが行われる。

#### 【0235】

リセットパルス電圧 $V_R$ がハイレベル $V_{gH}$ となるリセット期間に続いて、ゲート走査電圧 $V_g$ がハイレベル $V_{gH}$ となる期間において、 $n$ 型MOSトランジスタ（ $Q_n$ ）3701はオン状態となり、信号線に入力されているデータ信号 $V_d$ が $n$ 型MOSトランジスタ（ $Q_n$ ）3701を経由して $p$ 型MOSトランジス

タ ( $Q_p$ ) 3702 のゲート電極に転送される。水平走査期間が終了し、ゲート走査電圧  $V_g$  がローレベルとなると、 $n$  型 MOS トランジスタ ( $Q_n$ ) 3701 はオフ状態となり、 $p$  型 MOS トランジスタ ( $Q_p$ ) 3702 のゲート電極に転送されたデータ信号は電圧保持容量 105 により保持される。この際、 $p$  型 MOS トランジスタ ( $Q_p$ ) 3702 のゲート入力電圧  $V_a$  は、 $n$  型 MOS トランジスタ ( $Q_n$ ) 3701 がオフ状態になる時刻において、 $n$  型 MOS トランジスタ ( $Q_n$ ) 3701 のゲート・ソース間容量を経由してフィードスルー電圧と呼ばれる電圧シフトを起こす。図 38 には、 $V_{f1}$ 、 $V_{f2}$ 、 $V_{f3}$  で示されており、この電圧シフト  $V_{f1} \sim V_{f3}$  の量は、電圧保持容量 105 の値を大きく設計することにより小さくすることができる。 $p$  型 MOS トランジスタ ( $Q_p$ ) 3702 のゲート入力電圧  $V_a$  は、次のフィールド期間において、再びゲート走査電圧  $V_g$  がハイレベルとなり、 $n$  型 MOS トランジスタ ( $Q_n$ ) 3701 が選択されるまで保持される。

一方、 $p$  型 MOS トランジスタ ( $Q_p$ ) 3702 は、リセットパルス電圧  $V_R$  がハイレベル  $V_{gH}$  となるリセット期間にリセットが完了しており、水平走査期間以降は、画素電極 107 をソース電極としたソースフォロワ型アナログアンプとして動作する。この際、電圧保持容量電極 105 には、 $p$  型 MOS トランジスタ ( $Q_p$ ) 3702 をアナログアンプとして動作させるために、少なくとも ( $V_{dmax} - V_{tp}$ ) よりも高い電圧を供給しておく。ここで、 $V_{dmax}$  はデータ信号  $V_d$  の最大値、 $V_{tp}$  は  $p$  型 MOS トランジスタ ( $Q_p$ ) 3702 の閾値電圧である。 $p$  型 MOS トランジスタ ( $Q_p$ ) 3702 は、次のフィールドでリセットパルス電圧  $V_R$  が  $V_{gH}$  となってリセットが行われるまでの間、その保持されたゲート入力電圧  $V_a$  に応じたアナログ階調電圧を出力することができる。その出力電圧は、 $p$  型 MOS トランジスタ ( $Q_p$ ) 3702 のトランス・コンダクタンス  $g_{mp}$  と抵抗  $R_{L3703}$  との値によって変わるが、およそ、前述の式 (2) で表される。

#### 【0236】

以上説明したように、本発明の液晶表示装置を用いれば、従来技術で述べたような液晶の応答に伴う画素電圧  $V_{pix}$  の変動を無くすることができるようになり

、図38の液晶光透過率にも示されるように、1フィールド毎に所望の階調を得ることが可能となる。

また、上記駆動方法では、水平走査期間の前にリセット期間を設けたが、リセット期間と水平走査期間と同じタイミングとなるようにして駆動することも可能である。その場合、画素の選択とp型MOSトランジスタ(Q<sub>p</sub>)3702のリセットが同時に行われることになる。

#### 【0237】

また、本発明の液晶表示装置では、アナログアンプとして動作するp型MOSトランジスタ(Q<sub>p</sub>)3702のリセットをp型MOSトランジスタ(Q<sub>p</sub>)2702自身で行う構成となっているため、電源線、リセットスイッチ等の配線、回路が不要となっている。その結果、従来よりも小面積でアナログアンプを構成でき、高開口率化を図るのに顕著な効果が得られる。

#### 【0238】

また、リセットパルス電源V<sub>R</sub>を別途設けているので、第2、第10の実施形態で説明した液晶表示装置に比べて、アンプのリセットに伴う走査パルス信号の遅延を無くすることができるという利点を持っている。

#### 【0239】

また、上記実施の形態では、n型MOS型トランジスタ(Q<sub>n</sub>)3701およびp型MOSトランジスタ(Q<sub>p</sub>)3702は、p-SiTFTで形成すると述べたが、a-SiTFT、CdSeTFT等の他の薄膜トランジスタで形成しても良いし、単結晶シリコントランジスタで形成しても良い。

#### 【0240】

また、図38に示した駆動方法と同様の駆動方法により、TN液晶を駆動することも当然可能である。従来の液晶表示装置では、TN液晶の分子がスイッチングすることにより液晶容量が変化し、前述の図61に示したように、画素電圧V<sub>pix</sub>が変動してしまい、本来の液晶光透過率T<sub>0</sub>を得ることができない。それに対し、図37に示した本発明の液晶表示装置においては、p型MOSトランジスタ(Q<sub>p</sub>)3702がアンプとして動作し、TN液晶の容量の変化に影響されることなく液晶109に一定の電圧を印加し続けることができるので、本来の光

透過率が得られ、正確な階調表示を行うことができる。

#### 【0241】

以上説明した、第18の実施の形態の液晶表示装置およびその駆動方法を、1フィールド（1フレーム）期間に入射する光の色を切り換えてカラー表示を行う時分割駆動方式の液晶表示装置に適用したところ、色再現性の良い、高階調表示を実現することができた。これは、本発明の液晶表示装置が、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド（1フレーム）期間内に応答するOCBモード液晶のような高速液晶を駆動した場合においても、液晶の応答に伴う画素電圧の変動が発生せず、1フィールド（1フレーム）期間毎に所望の階調表示を行うことができるという特徴によるものである。この際、液晶材料として、無閾反強誘電性液晶を用いた。

#### 【0242】

次に本発明の第19の実施の形態について図面を参照して詳細に説明する。図39は、本発明の液晶表示装置の第19の実施の形態を示す図である。図に示すように、本発明の液晶表示装置は、ゲート電極が走査線101に接続され、ソース電極及びドレイン電極の一方が信号線102に接続されたn型MOS型トランジスタ（Q<sub>n</sub>）3901と、ゲート電極がそのn型MOSトランジスタ（Q<sub>n</sub>）3901のソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセットパルス電源VR3704に接続され、ソース電極及びドレイン電極の他方が画素電極107に接続された第1のp型MOSトランジスタ（Q<sub>p1</sub>）3902と、その第1のp型MOSトランジスタ（Q<sub>p1</sub>）3902のゲート電極と電圧保持容量電極105との間に形成された電圧保持容量106と、ゲート電極がバイアス電源VB3904に接続され、ソース電極が前記電圧保持容量電極105に接続され、ドレイン電極が前記画素電極に接続された第2のp型MOSトランジスタ（Q<sub>p2</sub>）3903と、画素電極107と対向電極108との間でスイッチングさせる液晶109とで構成されている。ここで、n型MOS型トランジスタ（Q<sub>n</sub>）3901、および第1、第2のp型MOSトランジスタ（Q<sub>p1</sub>）3902、（Q<sub>p2</sub>）3903は、p-SiTFTで構成されている。また、第2のp型MOSトランジスタ（Q<sub>p2</sub>）3903のゲート電

極に供給するバイアス電源VB3904は、第2のp型MOSトランジスタ(Q<sub>p2</sub>)3903のソース・ドレイン間抵抗R<sub>dsp</sub>が、液晶の応答時定数を決めている抵抗成分の値以下となるように設定されている。すなわち、図60、図62に示した液晶等価回路における抵抗R<sub>r</sub>、R<sub>sp</sub>と、ソース・ドレイン間抵抗R<sub>dsp</sub>は、前述の式(3)に示す関係となっている。

#### 【0243】

たとえば、抵抗R<sub>sp</sub>が5GΩである場合には、ソース・ドレイン間抵抗R<sub>dsp</sub>が1GΩを越えないようなバイアス電源VB3904が供給される。その時の、第2のp型MOSトランジスタ(Q<sub>p2</sub>)3903のドレイン電流・ゲート電圧特性と動作点は、図11に示したものと同様である。すなわち、図11の例では、第2のp型MOSトランジスタ(Q<sub>p2</sub>)3903のゲート・ソース間電圧(V<sub>B</sub>-V<sub>CH</sub>)を-3V程度に設定している。その結果、第2のp型MOSトランジスタ(Q<sub>p2</sub>)3903のドレイン電流はおよそ1E-8(A)となり、ソース・ドレイン間電圧V<sub>dsp</sub>が-10Vの時、ソース・ドレイン間抵抗R<sub>dsp</sub>は1GΩとなる。また、第2のp型MOSトランジスタ(Q<sub>p2</sub>)3903は、弱反転領域で動作しており、ソース・ドレイン間電圧V<sub>dsp</sub>が-2~-14Vと変化しても、ドレイン電流はほぼ一定である。第2のp型MOSトランジスタ(Q<sub>p2</sub>)3903は、第1のp型MOSトランジスタ(Q<sub>p1</sub>)3902をアナログアンプとして動作させる場合の、バイアス電流源として動作している。

以上説明した、図39に示す第19の実施の形態の液晶表示装置の駆動方法は、先に図38を用いて説明した第18の実施の形態の液晶表示装置の駆動方法と同様である。すなわち、分極を有する強誘電性液晶、反強誘電性液晶、および1フィールド期間内に応答するOCBモード液晶のような高速液晶を駆動した場合には、画素電圧V<sub>pix</sub>、液晶光透過率は図38に示したものと同様である。また、図39に示した液晶表示装置を用いてTN液晶を駆動する場合についても、図38に示した駆動方法と同様にして駆動することができる。

#### 【0244】

すなわち、図39に示した液晶表示装置を用いれば、第18の実施の形態と同

様に、液晶の応答に伴う画素電圧  $V_{pix}$  の変動を無くすことができるようになり、1フィールド毎に所望の階調を得ることが可能となる。

## 【0245】

また、上記駆動方法では、水平走査期間の前にリセット期間を設けたが、リセット期間と水平走査期間と同じタイミングとなるようにして駆動することも可能である。その場合、画素の選択と第1のp型MOSトランジスタ ( $Q_p$ ) 3902のリセットが同時に行われることになる。

## 【0246】

また、図39に示した液晶表示装置では、アナログアンプとして動作する第1のp型MOSトランジスタ ( $Q_{p1}$ ) 3902のリセットを第1のp型MOSトランジスタ ( $Q_{p1}$ ) 3902自身で行う構成となっているため、電源線、リセットスイッチ等の配線、回路が不要となっている。その結果、従来よりも小面積でアナログアンプを構成でき、高開口率化を図るのに顕著な効果が得られる。

## 【0247】

また、リセットパルス電源  $V_R$  を別途設けているので、第3、第11の実施形態で説明した液晶表示装置に比べて、アンプのリセットに伴う走査パルス信号の遅延を無くすことができるという利点を持っている。

## 【0248】

また、上記実施の形態では、n型MOS型トランジスタ ( $Q_n$ ) 3901、第1、第2のp型MOSトランジスタ ( $Q_{p1}$ ) 3902、( $Q_{p2}$ ) 3903は、p-SiTFTで形成すると述べたが、a-SiTFT、CdSeTFT等の他の薄膜トランジスタで形成しても良いし、単結晶シリコントランジスタで形成しても良い。

## 【0249】

以上説明した、第19の実施の形態の液晶表示装置およびその駆動方法を、1フィールド (1フレーム) 期間に入射する光の色を切り換えてカラー表示を行う時分割駆動方式の液晶表示装置に適用したところ、色再現性の良い、高階調表示を実現することができた。これは、本発明の液晶表示装置が、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド (1フレーム) 期間内に応答する



OCBモード液晶のような高速液晶を駆動した場合においても、液晶の応答に伴う画素電圧の変動が発生せず、1フィールド（1フレーム）期間毎に所望の階調表示を行うことができるという特徴によるものである。この際、液晶材料として、無関反強誘電性液晶を用いた。

#### 【0250】

次に本発明の第20の実施の形態について図面を参照して詳細に説明する。図40は、本発明の液晶表示装置の第20の実施の形態を示す図である。図に示すように、本発明の液晶表示装置は、ゲート電極が走査線101に接続され、ソース電極及びドレイン電極の一方が信号線102に接続されたn型MOS型トランジスタ（ $Q_n$ ）3901と、ゲート電極がそのn型MOSトランジスタ（ $Q_n$ ）3901のソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセットパルス電源VR3704に接続され、ソース電極及びドレイン電極の他方が画素電極107に接続された第1のp型MOSトランジスタ（ $Q_{p1}$ ）3902と、その第1のp型MOSトランジスタ（ $Q_{p1}$ ）3902のゲート電極と電圧保持容量電極105との間に形成された電圧保持容量106と、ゲート電極が電圧保持容量電極105に接続され、ソース電極がソース電源VS4001に接続され、ドレイン電極が画素電極107に接続された第2のp型MOSトランジスタ（ $Q_{p2}$ ）3903と、画素電極107と対向電極108との間でスイッチングさせる液晶109とで構成されている。ここで、n型MOS型トランジスタ（ $Q_n$ ）3901、および第1、第2のp型MOSトランジスタ（ $Q_{p1}$ ）3902、（ $Q_{p2}$ ）3903は、p-SiTFTで構成されている。

#### 【0251】

また、第2のp型MOSトランジスタ（ $Q_{p2}$ ）3903のソース電極に供給するソース電源VS4001は、第2のp型MOSトランジスタ（ $Q_{p2}$ ）3903のソースドレイン間抵抗 $R_{dsp}$ が、液晶の応答時定数を決めている抵抗成分の値以下となるように設定されている。すなわち、図60、図62に示した液晶等価回路における抵抗 $R_r$ 、 $R_{sp}$ と、ソース・ドレイン間抵抗 $R_{dsp}$ は、前述の式（3）に示された関係となっており、たとえば、抵抗 $R_{sp}$ が5GΩで

ある場合には、ソース・ドレイン間抵抗 $R_{ds_p}$ が $1\text{ G}\Omega$ を越えないようなソース電源 $V_{S4001}$ が供給される。第2のp型MOSトランジスタ( $Q_{p2}$ )3903の動作点は、前述の図11に示した動作点と同様である。すなわち、図11の例では、第2のp型MOSトランジスタ( $Q_{p2}$ )3903のゲート・ソース間電圧( $V_{CH}-V_S$ )を $-3\text{ V}$ 程度に設定している。その結果、第2のp型MOSトランジスタ( $Q_{p2}$ )3903のドレイン電流はおよそ $1\text{ E}-8\text{ (A)}$ となり、ソース・ドレイン間電圧 $V_{ds_p}$ が $-10\text{ V}$ の時、ソース・ドレイン間抵抗 $R_{ds_p}$ は $1\text{ G}\Omega$ となる。また、第2のp型MOSトランジスタ( $Q_{p2}$ )3903は、弱反転領域で動作しており、ソース・ドレイン間電圧 $V_{ds_p}$ が $-2\sim-14\text{ V}$ と変化しても、ドレイン電流はほぼ一定である。第2のp型MOSトランジスタ( $Q_{p2}$ )3903は、第1のp型MOSトランジスタ( $Q_{p1}$ )3902をアナログアンプとして動作させる場合の、バイアス電流源として動作している。

## 【0252】

以上説明した、図40に示す第20の実施の形態の液晶表示装置の駆動方法は、先に説明した第18、第19の実施の形態の液晶表示装置の駆動方法と同様である。すなわち、分極を有する強誘電性液晶、反強誘電性液晶、および1フィールド期間内に応答するOCBモード液晶のような高速液晶を駆動した場合には、画素電圧 $V_{pix}$ 、液晶光透過率は図38に示したものと同様である。また、図40に示した液晶表示装置を用いてTN液晶を駆動する場合についても、図38に示した駆動方法と同様にして駆動することができる。

## 【0253】

すなわち、図40に示した液晶表示装置を用いれば、第18、第19の実施の形態と同様に、液晶の応答に伴う画素電圧 $V_{pix}$ の変動を無くすることができるようになり、1フィールド毎に所望の階調を得ることが可能となる。

## 【0254】

また、上記駆動方法では、水平走査期間の前にリセット期間を設けたが、リセット期間と水平走査期間と同じタイミングとなるようにして駆動することも可能である。その場合、画素の選択と第1のp型MOSトランジスタ( $Q_p$ )390

2のリセットが同時に行われることになる。

【0255】

また、図40に示した液晶表示装置では、アナログアンプとして動作する第1のp型MOSトランジスタ(Q<sub>p1</sub>)3902のリセットを第1のp型MOSトランジスタ(Q<sub>p1</sub>)3902自身で行う構成となっているため、電源線、リセットスイッチ等の配線、回路が不要となっている。その結果、従来よりも小面積でアナログアンプを構成でき、高開口率化を図るのに顕著な効果が得られる。

【0256】

また、リセットパルス電源VRを別途設けているので、第4、第12の実施形態で説明した液晶表示装置に比べて、アンプのリセットに伴う走査パルス信号の遅延を無くすることができるという利点を持っている。

【0257】

また、上記実施の形態では、n型MOS型トランジスタ(Q<sub>n</sub>)3901、第1、第2のp型MOSトランジスタ(Q<sub>p1</sub>)3902、(Q<sub>p2</sub>)3903は、p-SiTFTで形成すると述べたが、a-SiTFT、CdSeTFT等の他の薄膜トランジスタで形成しても良いし、単結晶シリコントランジスタで形成しても良い。

【0258】

以上説明した、第20の実施の形態の液晶表示装置およびその駆動方法を、1フィールド(1フレーム)期間に入射する光の色を切り換えてカラー表示を行う時分割駆動方式の液晶表示装置に適用したところ、色再現性の良い、高階調表示を実現することができた。これは、本発明の液晶表示装置が、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド(1フレーム)期間内に応答するOCBモード液晶のような高速液晶を駆動した場合においても、液晶の応答に伴う画素電圧の変動が発生せず、1フィールド(1フレーム)期間毎に所望の階調表示を行うことができるという特徴によるものである。この際、液晶材料として、無閾反強誘電性液晶を用いた。

【0259】

次に本発明の第21の実施の形態について図面を参照して詳細に説明する。図

41は、本発明の液晶表示装置の第21の実施の形態を示す図である。図に示すように、本発明の液晶表示装置は、ゲート電極が走査線101に接続され、ソース電極及びドレイン電極の一方が信号線102に接続されたn型MOS型トランジスタ( $Q_n$ )3901と、ゲート電極がそのn型MOSトランジスタ( $Q_n$ )3901のソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセットパルス電源VR3704に接続され、ソース電極及びドレイン電極の他方が画素電極107に接続された第1のp型MOSトランジスタ( $Q_{p1}$ )3902と、その第1のp型MOSトランジスタ( $Q_{p1}$ )3902のゲート電極と電圧保持容量電極105との間に形成された電圧保持容量106と、ゲート電極およびソース電極が電圧保持容量電極105に接続され、ドレイン電極が画素電極107に接続された第2のp型MOSトランジスタ( $Q_{p2}$ )3903と、画素電極107と対向電極108との間でスイッチングさせる液晶109とで構成されている。ここで、n型MOS型トランジスタ( $Q_n$ )3901、および第1、第2のp型MOSトランジスタ( $Q_{p1}$ )3902、( $Q_{p2}$ )3903は、p-SiTFTで構成されている。

#### 【0260】

また、第2のp型MOSトランジスタ( $Q_{p2}$ )3903のゲート電極とソース電極はともに電圧保持容量電極105に接続されているため、第2のp型MOSトランジスタ( $Q_{p2}$ )3903のゲート・ソース間電圧 $V_{gs p}$ は0Vとなる。このバイアス条件下で、第2のp型MOSトランジスタ( $Q_{p2}$ )3903のソース・ドレイン間抵抗 $R_{ds p}$ が前述の式(3)を満たすように、第2のp型MOSトランジスタ( $Q_{p2}$ )3903の閾値電圧をチャネル・ドーズにより正側にシフト制御している。その時の、第2のp型MOSトランジスタ( $Q_{p2}$ )3903のドレイン電流・ゲート電圧特性と動作点は、図14に示したものと同様である。すなわち、図14に示すように、ゲート・ソース間電圧が0Vの時、ドレイン電流が約 $1E-8$ (A)となるように、チャネルドーズにより、閾値電圧が正側にシフト制御されている。その結果、第2のp型MOSトランジスタ( $Q_{p2}$ )3903のドレイン電流はおよそ $1E-8$ (A)となり、ソース・ドレイン間電圧 $V_{ds p}$ が-10Vの時、ソース・ドレイン間抵抗 $R_{ds p}$ は1G

Ωとなる。また、第2のp型MOSトランジスタ(Q<sub>p2</sub>) 3903は、弱反転領域で動作しており、ソース・ドレイン間電圧V<sub>dsp</sub>が-2~-14Vと変化しても、ドレイン電流はほぼ一定である。第2のp型MOSトランジスタ(Q<sub>p2</sub>) 3903は、第1のp型MOSトランジスタ(Q<sub>p1</sub>) 3902をアナログアンプとして動作させる場合の、バイアス電流源として動作している。

#### 【0261】

第21の実施の形態では、第19、第20の実施の形態で必要であった、バイアス電源VB 3904、ソース電源VS 4001が不要となっているが、チャネルドーズ工程が余分に必要となる。

#### 【0262】

以上説明した、図41に示す第21の実施の形態の液晶表示装置の駆動方法は、先に説明した第18~第20の実施の形態の液晶表示装置の駆動方法と同様である。すなわち、分極を有する強誘電性液晶、反強誘電性液晶、および1フィールド期間内に応答するOCBモード液晶のような高速液晶を駆動した場合には、画素電圧V<sub>pix</sub>、液晶光透過率は図38に示したものと同様である。また、図41に示した液晶表示装置を用いてTN液晶を駆動する場合についても、図38に示した駆動方法と同様にして駆動することができる。

#### 【0263】

すなわち、図41に示した液晶表示装置を用いれば、第18~第20の実施の形態と同様に、液晶の応答に伴う画素電圧V<sub>pix</sub>の変動を無くすることができるようになり、1フィールド毎に所望の階調を得ることが可能となる。

#### 【0264】

また、上記駆動方法では、水平走査期間の前にリセット期間を設けたが、リセット期間と水平走査期間と同じタイミングとなるようにして駆動することも可能である。その場合、画素の選択と第1のp型MOSトランジスタ(Q<sub>p</sub>) 3902のリセットが同時に行われることになる。

#### 【0265】

また、図41に示した液晶表示装置では、アナログアンプとして動作する第1のp型MOSトランジスタ(Q<sub>p1</sub>) 3902のリセットを第1のp型MOSト

ランジスタ (Qp1) 3902 自身で行う構成となっているため、電源線、リセットスイッチ等の配線、回路が不要となっている。その結果、従来よりも小面積でアナログアンプを構成でき、高開口率化を図るのに顕著な効果が得られる。

## 【0266】

また、リセットパルス電源 VR を別途設けているので、第 5、第 13 の実施形態で説明した液晶表示装置に比べて、アンプのリセットに伴う走査パルス信号の遅延を無くすることができるという利点を持っている。

## 【0267】

また、上記実施の形態では、n 型 MOS 型トランジスタ (Qn) 3901、第 1、第 2 の p 型 MOS トランジスタ (Qp1) 3902、(Qp2) 3903 は、p-SiTFT で形成すると述べたが、a-SiTFT、CdSeTFT 等の他の薄膜トランジスタで形成しても良いし、単結晶シリコントランジスタで形成しても良い。

## 【0268】

以上説明した、第 21 の実施の形態の液晶表示装置およびその駆動方法を、1 フィールド (1 フレーム) 期間に入射する光の色を切り換えてカラー表示を行う時分割駆動方式の液晶表示装置に適用したところ、色再現性の良い、高階調表示を実現することができた。これは、本発明の液晶表示装置が、分極を有する強誘電性液晶、反強誘電性液晶、又は 1 フィールド (1 フレーム) 期間内に応答する OCB モード液晶のような高速液晶を駆動した場合においても、液晶の応答に伴う画素電圧の変動が発生せず、1 フィールド (1 フレーム) 期間毎に所望の階調表示を行うことができるという特徴によるものである。この際、液晶材料として、無閾反強誘電性液晶を用いた。

## 【0269】

次に本発明の第 22 の実施の形態について図面を参照して詳細に説明する。図 42 は、本発明の液晶表示装置の第 22 の実施の形態を示す図である。図に示すように、本発明の液晶表示装置は、ゲート電極が走査線 101 に接続され、ソース電極及びドレイン電極の一方が信号線 102 に接続された p 型 MOS 型トランジスタ (Qp) 4201 と、ゲート電極がその p 型 MOS トランジスタ (Qp)

4201のソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセットパルス電源VR3704に接続され、ソース電極及びドレイン電極の他方が画素電極107に接続されたn型MOSトランジスタ( $Q_n$ )4202と、そのn型MOSトランジスタ( $Q_n$ )4202のゲート電極と電圧保持容量電極105との間に形成された電圧保持容量106と、画素電極107と電圧保持容量電極105の間に接続された抵抗RL4203と、画素電極107と対向電極108との間でスイッチングさせる液晶109とで構成されている。ここで、p型MOS型トランジスタ( $Q_p$ )4201およびn型MOSトランジスタ( $Q_n$ )4202は、p-SiTFTで構成されている。

#### 【0270】

また、抵抗RL4203の値は、第6の実施の形態と同様に、液晶の応答時定数を決めている抵抗成分の値以下に設定されている。すなわち、図60、図62に示した液晶等価回路における抵抗 $R_r$ 、 $R_{sp}$ と、抵抗RL4203は前述の式(1)に示す関係となっている。

#### 【0271】

たとえば、抵抗 $R_{sp}$ が $5\text{ G}\Omega$ である場合には、抵抗RL4203は $1\text{ G}\Omega$ 程度の値に設定されてる。 $1\text{ G}\Omega$ という通常の半導体集積回路では用いられない大きな抵抗は、第2の実施の形態で説明したように、半導体薄膜か、もしくは不純物ドーピングされた半導体薄膜で形成する。

#### 【0272】

すなわち、抵抗RL4203を、ライトリー・ドーピングされたn型半導体薄膜(n-)で形成した場合の構造、および形成方法は、図16に示したものと同様である。また、抵抗RL4203を不純物のドーピングされていない半導体薄膜(i層)で形成した場合の構造、および形成方法は、図17に示したものと同様である。また、抵抗RL4203を、ライトリー・ドーピングされたp型半導体薄膜(p-)で形成した場合の構造、および形成方法は、図18に示したものと同様である。以上、図42に示す抵抗RL4203を半導体薄膜、不純物ドーピングされた半導体薄膜で形成する場合について説明したが、式(1)を満たす抵抗であれば、他の材料を適用してもよい。

## 【0273】

以下、図42に示した画素構成を用いた液晶表示装置の駆動方法について説明する。図43は、図42に示した画素構成により、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド期間内で応答するOCBモード液晶等の高速液晶を駆動した場合の、リセットパルス電圧 $V_R$ 、ゲート走査電圧 $V_g$ 、データ信号電圧 $V_d$ 、 $n$ 型MOSトランジスタ( $Q_n$ )4202のゲート電圧 $V_a$ 、画素電圧 $V_{pix}$ のタイミングチャート、および液晶の光透過率の変化を示したものである。ここで、液晶は、電圧無印加時に暗い状態となる、ノーマリー・ブラックモードで動作する例を示している。

## 【0274】

図に示すように、リセットパルス電圧 $V_R$ がローレベル $V_{gL}$ となる期間においては、画素電極107は、 $n$ 型MOSトランジスタ( $Q_n$ )4202を経由してゲート走査電圧 $V_{gL}$ が転送されることによりリセット状態となる。ここで、下記に述べるように、 $n$ 型MOSトランジスタ( $Q_n$ )4202は、リセットパルス電圧 $V_R$ がハイレベルになった後、ソースフォロワ型のアナログアンプとして動作するが、リセットパルス電圧 $V_R$ がローレベルの期間に、画素電圧 $V_{pix}$ が $V_{gL}$ となることで、 $p$ 型MOSトランジスタ( $Q_p$ )3702のリセットが行われる。

リセットパルス電圧 $V_R$ がローレベル $V_{gL}$ となるリセット期間に続いて、ゲート走査電圧 $V_g$ がローレベル $V_{gL}$ となる期間において、 $p$ 型MOSトランジスタ( $Q_p$ )4201はオン状態となり、信号線に入力されているデータ信号 $V_d$ が $p$ 型MOSトランジスタ( $Q_p$ )4201を経由して $n$ 型MOSトランジスタ( $Q_n$ )4202のゲート電極に転送される。水平走査期間が終了し、ゲート走査電圧 $V_g$ がハイレベルとなると、 $p$ 型MOSトランジスタ( $Q_p$ )4201はオフ状態となり、 $n$ 型MOSトランジスタ( $Q_n$ )4202のゲート電極に転送されたデータ信号は電圧保持容量105により保持される。この際、 $n$ 型MOSトランジスタ( $Q_n$ )4202のゲート入力電圧 $V_a$ は、 $p$ 型MOSトランジスタ( $Q_p$ )4201がオフ状態になる時刻において、 $p$ 型MOSトランジスタ( $Q_n$ )4201のゲート・ソース間容量を経由してフィードスルー電圧と呼ば



れる電圧シフトを起こす。図43には、 $V_{f1}$ 、 $V_{f2}$ 、 $V_{f3}$ で示されており、この電圧シフト $V_{f1} \sim V_{f3}$ の量は、電圧保持容量105の値を大きく設計することにより小さくすることができる。n型MOSトランジスタ( $Q_n$ )4202のゲート入力電圧 $V_a$ は、次のフィールド期間において、再びゲート走査電圧 $V_g$ がローレベルとなり、p型MOSトランジスタ( $Q_p$ )4201が選択されるまで保持される。

一方、n型MOSトランジスタ( $Q_n$ )4202は、リセットパルス電圧 $V_R$ がローレベル $V_{gL}$ となるリセット期間にリセットが完了しており、水平走査期間以降は、画素電極107をソース電極としたソースフォロワ型アナログアンプとして動作する。この際、電圧保持容量電極105には、n型MOSトランジスタ( $Q_n$ )4202をアナログアンプとして動作させるために、少なくとも( $V_{dmin} - V_{tn}$ )よりも低い電圧を供給しておく。ここで、 $V_{dmin}$ はデータ信号 $V_d$ の最小値、 $V_{tn}$ はn型MOSトランジスタ( $Q_n$ )4202の閾値電圧である。n型MOSトランジスタ( $Q_n$ )4202は、次のフィールドでリセットパルス電圧 $V_R$ が $V_{gL}$ となってリセットが行われるまでの間、その保持されたゲート入力電圧 $V_a$ に応じたアナログ階調電圧を出力することができる。その出力電圧は、n型MOSトランジスタ( $Q_n$ )4202のトランス・コンダクタンス $g_{mn}$ と抵抗 $R_{L4203}$ との値によって変わるが、およそ、前述の式(4)で表される。

#### 【0275】

以上説明したように、本発明の液晶表示装置を用いれば、従来技術で述べたような液晶の応答に伴う画素電圧 $V_{pix}$ の変動を無くすることができるようになり、図43の液晶光透過率にも示されるように、1フィールド毎に所望の階調を得ることが可能となる。

また、上記駆動方法では、水平走査期間の前にリセット期間を設けたが、リセット期間と水平走査期間と同じタイミングとなるようにして駆動することも可能である。その場合、画素の選択とn型MOSトランジスタ( $Q_n$ )4202のリセットが同時に行われることになる。

#### 【0276】

また、本発明の液晶表示装置では、アナログアンプとして動作する n 型 MOS トランジスタ (Q<sub>n</sub>) 4202 のリセットを n 型 MOS トランジスタ (Q<sub>n</sub>) 4202 自身で行う構成となっているため、電源線、リセットスイッチ等の配線、回路が不要となっている。その結果、従来よりも小面積でアナログアンプを構成でき、高開口率化を図るのに顕著な効果が得られる。

## 【0277】

また、リセットパルス電源 V<sub>R</sub> を別途設けているので、第 6、第 14 の実施形態で説明した液晶表示装置に比べて、アンプのリセットに伴う走査パルス信号の遅延を無くすことができるという利点を持っている。

## 【0278】

また、上記実施の形態では、p 型 MOS 型 トランジスタ (Q<sub>p</sub>) 4201 および n 型 MOS トランジスタ (Q<sub>n</sub>) 4202 は、p-Si TFT で形成すると述べたが、a-Si TFT、CdSe TFT 等の他の薄膜トランジスタで形成しても良いし、単結晶シリコントランジスタで形成しても良い。

## 【0279】

また、図 43 に示した駆動方法と同様の駆動方法により、TN 液晶を駆動することも当然可能である。従来の液晶表示装置では、TN 液晶の分子がスイッチングすることにより液晶容量が変化し、前述の図 61 に示したように、画素電圧 V<sub>pix</sub> が変動してしまい、本来の液晶光透過率 T<sub>0</sub> を得ることができない。それに対し、図 42 に示した本発明の液晶表示装置においては、n 型 MOS トランジスタ (Q<sub>n</sub>) 4202 がアンプとして動作し、TN 液晶の容量の変化に影響されることなく液晶 109 に一定の電圧を印加し続けることができるので、本来の光透過率が得られ、正確な階調表示を行うことができる。

## 【0280】

以上説明した、第 22 の実施の形態の液晶表示装置およびその駆動方法を、1 フィールド (1 フレーム) 期間に入射する光の色を切り換えてカラー表示を行う時分割駆動方式の液晶表示装置に適用したところ、色再現性の良い、高階調表示を実現することができた。これは、本発明の液晶表示装置が、分極を有する強誘電性液晶、反強誘電性液晶、又は 1 フィールド (1 フレーム) 期間内に応答する

OCBモード液晶のような高速液晶を駆動した場合においても、液晶の応答に伴う画素電圧の変動が発生せず、1フィールド（1フレーム）期間毎に所望の階調表示を行うことができるという特徴によるものである。この際、液晶材料として、無閾反強誘電性液晶を用いた。

## 【0281】

次に本発明の第23の実施の形態について図面を参照して詳細に説明する。図44は、本発明の液晶表示装置の第23の実施の形態を示す図である。図に示すように、本発明の液晶表示装置は、ゲート電極が走査線101に接続され、ソース電極及びドレイン電極の一方が信号線102に接続されたp型MOS型トランジスタ（ $Q_p$ ）4401と、ゲート電極がそのp型MOSトランジスタ（ $Q_p$ ）4401のソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセットパルス電源VR3704に接続され、ソース電極及びドレイン電極の他方が画素電極107に接続された第1のn型MOSトランジスタ（ $Q_{n1}$ ）4402と、その第1のn型MOSトランジスタ（ $Q_{n1}$ ）4402のゲート電極と電圧保持容量電極105との間に形成された電圧保持容量106と、ゲート電極がバイアス電源VB4404に接続され、ソース電極が前記電圧保持容量電極105に接続され、ドレイン電極が前記画素電極に接続された第2のn型MOSトランジスタ（ $Q_{n2}$ ）4403と、画素電極107と対向電極108との間でスイッチングさせる液晶109とで構成されている。ここで、p型MOS型トランジスタ（ $Q_p$ ）4401、および第1、第2のn型MOSトランジスタ（ $Q_{n1}$ ）4402、（ $Q_{n2}$ ）4403は、p-SiTFTで構成されている。また、第2のn型MOSトランジスタ（ $Q_{n2}$ ）4403のゲート電極に供給するバイアス電源VB4404は、第2のn型MOSトランジスタ（ $Q_{n2}$ ）4403のソースドレイン間抵抗 $R_{dsn}$ が、液晶の応答時定数を決めている抵抗成分の値以下となるように設定されている。すなわち、図60、図62に示した液晶等価回路における抵抗 $R_r$ 、 $R_{sp}$ と、ソース・ドレイン間抵抗 $R_{dsn}$ は、前述の式（5）に示す関係となっている。

## 【0282】

たとえば、抵抗 $R_{sp}$ が $5\text{ G}\Omega$ である場合には、ソース・ドレイン間抵抗 $R_d$

$s_n$ が $1\text{ G}\Omega$ を越えないようなバイアス電源 $V_{B4404}$ が供給される。その時の、第2のn型MOSトランジスタ( $Q_{n2}$ )4403のドレイン電流・ゲート電圧特性と動作点は、図23に示したものと同様である。すなわち、図23の例では、第2のn型MOSトランジスタ( $Q_{n2}$ )4403のゲート・ソース間電圧( $V_B - V_{CH}$ )を3V程度に設定している。その結果、第2のn型MOSトランジスタ( $Q_{n2}$ )4403のドレイン電流はおよそ $1\text{ E}-8$ (A)となり、ソース・ドレイン間電圧 $V_{dsn}$ が10Vの時、ソース・ドレイン間抵抗 $R_{dsn}$ は $1\text{ G}\Omega$ となる。また、第2のn型MOSトランジスタ( $Q_{n2}$ )4403は、弱反転領域で動作しており、ソース・ドレイン間電圧 $V_{dsn}$ が2~14Vと変化しても、ドレイン電流はほぼ一定である。第2のn型MOSトランジスタ( $Q_{n2}$ )4403は、第1のn型MOSトランジスタ( $Q_{n1}$ )4402をアナログアンプとして動作させる場合の、バイアス電流源として動作している。

## 【0283】

以上説明した、図44に示す第23の実施の形態の液晶表示装置の駆動方法は、先に図43を用いて説明した第22の実施の形態の液晶表示装置の駆動方法と同様である。すなわち、分極を有する強誘電性液晶、反強誘電性液晶、および1フィールド期間内に応答するOCBモード液晶のような高速液晶を駆動した場合には、画素電圧 $V_{pix}$ 、液晶光透過率は図43に示したものと同様である。また、図44に示した液晶表示装置を用いてTN液晶を駆動する場合についても、図43に示した駆動方法と同様にして駆動することができる。

## 【0284】

すなわち、図43に示した液晶表示装置を用いれば、第22の実施の形態と同様に、液晶の応答に伴う画素電圧 $V_{pix}$ の変動を無くすることができるようになり、1フィールド毎に所望の階調を得ることが可能となる。

## 【0285】

また、上記駆動方法では、水平走査期間の前にリセット期間を設けたが、リセット期間と水平走査期間と同じタイミングとなるようにして駆動することも可能である。その場合、画素の選択と第1のn型MOSトランジスタ( $Q_n$ )4402のリセットが同時に行われることになる。

## 【0286】

また、図44に示した液晶表示装置では、アナログアンプとして動作する第1のn型MOSトランジスタ(Qn1)4402のリセットを第1のn型MOSトランジスタ(Qn1)4402自身で行う構成となっているため、電源線、リセットスイッチ等の配線、回路が不要となっている。その結果、従来よりも小面積でアナログアンプを構成でき、高開口率化を図るのに顕著な効果が得られる。

## 【0287】

また、リセットパルス電源VRを別途設けているので、第7、第15の実施形態で説明した液晶表示装置に比べて、アンプのリセットに伴う走査パルス信号の遅延を無くすることができるという利点を持っている。

## 【0288】

また、上記実施の形態では、p型MOS型トランジスタ(Qp)4401、第1、第2のn型MOSトランジスタ(Qn1)4402、(Qn2)4403は、p-SiTFTで形成すると述べたが、a-SiTFT、CdSeTFT等の他の薄膜トランジスタで形成しても良いし、単結晶シリコントランジスタで形成しても良い。

## 【0289】

以上説明した、第23の実施の形態の液晶表示装置およびその駆動方法を、1フィールド(1フレーム)期間に入射する光の色を切り換えてカラー表示を行う時分割駆動方式の液晶表示装置に適用したところ、色再現性の良い、高階調表示を実現することができた。これは、本発明の液晶表示装置が、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド(1フレーム)期間内に応答するOCBモード液晶のような高速液晶を駆動した場合においても、液晶の応答に伴う画素電圧の変動が発生せず、1フィールド(1フレーム)期間毎に所望の階調表示を行うことができるという特徴によるものである。この際、液晶材料として、無関反強誘電性液晶を用いた。

## 【0290】

次に本発明の第24の実施の形態について図面を参照して詳細に説明する。図45は、本発明の液晶表示装置の第24の実施の形態を示す図である。図に示す

ように、本発明の液晶表示装置は、ゲート電極が走査線101に接続され、ソース電極及びドレイン電極の一方が信号線102に接続されたp型MOS型トランジスタ( $Q_p$ )4401と、ゲート電極がそのp型MOSトランジスタ( $Q_p$ )4401のソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセットパルス電源VR3704に接続され、ソース電極及びドレイン電極の他方が画素電極107に接続された第1のn型MOSトランジスタ( $Q_{n1}$ )4402と、その第1のn型MOSトランジスタ( $Q_{n1}$ )4402のゲート電極と電圧保持容量電極105との間に形成された電圧保持容量106と、ゲート電極が電圧保持容量電極105に接続され、ソース電極がソース電源VS4501に接続され、ドレイン電極が画素電極107に接続された第2のn型MOSトランジスタ( $Q_{n2}$ )4403と、画素電極107と対向電極108との間でスイッチングさせる液晶109とで構成されている。ここで、p型MOS型トランジスタ( $Q_p$ )4401、および第1、第2のn型MOSトランジスタ( $Q_{n1}$ )4402、( $Q_{n2}$ )4403は、p-SiTFTで構成されている。

#### 【0291】

また、第2のn型MOSトランジスタ( $Q_{n2}$ )4403のソース電極に供給するソース電源VS4501は、第2のn型MOSトランジスタ( $Q_{n2}$ )4403のソースドレイン間抵抗 $R_{dsn}$ が、液晶の応答時定数を決めている抵抗成分の値以下となるように設定されている。すなわち、図60、図62に示した液晶等価回路における抵抗 $R_r$ 、 $R_{sp}$ と、ソース・ドレイン間抵抗 $R_{dsn}$ は、前述の式(5)に示された関係となっており、たとえば、抵抗 $R_{sp}$ が $5\text{ G}\Omega$ である場合には、ソース・ドレイン間抵抗 $R_{dsn}$ が $1\text{ G}\Omega$ を越えないようなソース電源VS4501が供給される。第2のn型MOSトランジスタ( $Q_{n2}$ )4403の動作点は、前述の図23に示した動作点と同様である。すなわち、図23の例では、第2のn型MOSトランジスタ( $Q_{n2}$ )4403のゲート・ソース間電圧( $V_{CH}-V_S$ )を3V程度に設定している。その結果、第2のn型MOSトランジスタ( $Q_{n2}$ )4403のドレイン電流はおよそ $1\text{ E}-8\text{ (A)}$ となり、ソース・ドレイン間電圧 $V_{dsn}$ が10Vの時、ソース・ドレイン間抵抗

$R_{dsn}$ は $1\text{G}\Omega$ となる。また、第2のn型MOSトランジスタ( $Q_{n2}$ )4403は、弱反転領域で動作しており、ソース・ドレイン間電圧 $V_{dsn}$ が2~14Vと変化しても、ドレイン電流はほぼ一定である。第2のn型MOSトランジスタ( $Q_{n2}$ )4403は、第1のn型MOSトランジスタ( $Q_{n1}$ )4402をアナログアンプとして動作させる場合の、バイアス電流源として動作している。

#### 【0292】

以上説明した、図45に示す第24の実施の形態の液晶表示装置の駆動方法は、先に説明した第22、第23の実施の形態の液晶表示装置の駆動方法と同様である。すなわち、分極を有する強誘電性液晶、反強誘電性液晶、および1フィールド期間内に応答するOCBモード液晶のような高速液晶を駆動した場合には、画素電圧 $V_{pix}$ 、液晶光透過率は図43に示したものと同様である。また、図45に示した液晶表示装置を用いてTN液晶を駆動する場合についても、図43に示した駆動方法と同様にして駆動することができる。

#### 【0293】

すなわち、図45に示した液晶表示装置を用いれば、第22、第23の実施の形態と同様に、液晶の応答に伴う画素電圧 $V_{pix}$ の変動を無くすることができるようになり、1フィールド毎に所望の階調を得ることが可能となる。

#### 【0294】

また、上記駆動方法では、水平走査期間の前にリセット期間を設けたが、リセット期間と水平走査期間と同じタイミングとなるようにして駆動することも可能である。その場合、画素の選択と第1のn型MOSトランジスタ( $Q_{n1}$ )4402のリセットが同時に行われることになる。

#### 【0295】

また、図45に示した液晶表示装置では、アナログアンプとして動作する第1のn型MOSトランジスタ( $Q_{n1}$ )4402のリセットを第1のn型MOSトランジスタ( $Q_{n1}$ )4402自身で行う構成となっているため、電源線、リセットスイッチ等の配線、回路が不要となっている。その結果、従来よりも小面積でアナログアンプを構成でき、高開口率化を図るのに顕著な効果が得られる。

## 【0296】

また、リセットパルス電源VRを別途設けているので、第8、第16の実施形態で説明した液晶表示装置に比べて、アンプのリセットに伴う走査パルス信号の遅延を無くすることができるという利点を持っている。

## 【0297】

また、上記実施の形態では、p型MOS型トランジスタ(Qp)4401、第1、第2のn型MOSトランジスタ(Qn1)4402、(Qn2)4403は、p-SiTFTで形成すると述べたが、a-SiTFT、CdSeTFT等の他の薄膜トランジスタで形成しても良いし、単結晶シリコントランジスタで形成しても良い。

## 【0298】

以上説明した、第24の実施の形態の液晶表示装置およびその駆動方法を、1フィールド(1フレーム)期間に入射する光の色を切り換えてカラー表示を行う時分割駆動方式の液晶表示装置に適用したところ、色再現性の良い、高階調表示を実現することができた。これは、本発明の液晶表示装置が、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド(1フレーム)期間内に応答するOCBモード液晶のような高速液晶を駆動した場合においても、液晶の応答に伴う画素電圧の変動が発生せず、1フィールド(1フレーム)期間毎に所望の階調表示を行うことができるという特徴によるものである。この際、液晶材料として、無関反強誘電性液晶を用いた。

## 【0299】

次に本発明の第25の実施の形態について図面を参照して詳細に説明する。図46は、本発明の液晶表示装置の第25の実施の形態を示す図である。図に示すように、本発明の液晶表示装置は、ゲート電極が走査線101に接続され、ソース電極及びドレイン電極の一方が信号線102に接続されたp型MOS型トランジスタ(Qp)4401と、ゲート電極がそのp型MOSトランジスタ(Qp)4401のソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセットパルス電源VR3704に接続され、ソース電極及びドレイン電極の他方が画素電極107に接続された第1のn型MOSトランジスタ



タ ( $Q_{n1}$ ) 4402と、その第1のn型MOSトランジスタ ( $Q_{n1}$ ) 4402のゲート電極と電圧保持容量電極105との間に形成された電圧保持容量106と、ゲート電極およびソース電極が電圧保持容量電極105に接続され、ドレイン電極が画素電極107に接続された第2のn型MOSトランジスタ ( $Q_{n2}$ ) 4403と、画素電極107と対向電極108との間でスイッチングさせる液晶109とで構成されている。ここで、p型MOS型トランジスタ ( $Q_p$ ) 4401、および第1、第2のn型MOSトランジスタ ( $Q_{n1}$ ) 4402、( $Q_{n2}$ ) 4403は、p-SiTFTで構成されている。

#### 【0300】

また、第2のn型MOSトランジスタ ( $Q_{n2}$ ) 4403のゲート電極とソース電極はともに電圧保持容量電極105に接続されているため、第2のn型MOSトランジスタ ( $Q_{n2}$ ) 4403のゲート・ソース間電圧  $V_{gsn}$  は0Vとなる。このバイアス条件下で、第2のn型MOSトランジスタ ( $Q_{n2}$ ) 4403のソース・ドレイン間抵抗  $R_{dsn}$  が前述の式(5)を満たすように、第2のn型MOSトランジスタ ( $Q_{n2}$ ) 4403の閾値電圧をチャネル・ドーズにより負側にシフト制御している。その時の、第2のn型MOSトランジスタ ( $Q_{n2}$ ) 4403のドレイン電流・ゲート電圧特性と動作点は、図26に示したものと同様である。すなわち、図26に示すように、ゲート・ソース間電圧が0Vの時、ドレイン電流が約  $1E-8$  (A) となるように、チャネルドーズにより、閾値電圧が負側にシフト制御されている。その結果、第2のn型MOSトランジスタ ( $Q_{n2}$ ) 4403のドレイン電流はおよそ  $1E-8$  (A) となり、ソース・ドレイン間電圧  $V_{dsn}$  が10Vの時、ソース・ドレイン間抵抗  $R_{dsn}$  は1G $\Omega$  となる。また、第2のn型MOSトランジスタ ( $Q_{n2}$ ) 4403は、弱反転領域で動作しており、ソース・ドレイン間電圧  $V_{dsn}$  が2~14Vと変化しても、ドレイン電流はほぼ一定である。第2のn型MOSトランジスタ ( $Q_{n2}$ ) 4403は、第1のn型MOSトランジスタ ( $Q_{n1}$ ) 4402をアナログアンプとして動作させる場合の、バイアス電流源として動作している。

#### 【0301】

第25の実施の形態では、第23、第24の実施の形態で必要であった、バイ

アス電源VB4404、ソース電源VS4501が不要となっているが、チャンネルドーズ工程が余分に必要となる。

【0302】

以上説明した、図46に示す第25の実施の形態の液晶表示装置の駆動方法は、先に説明した第22～第24の実施の形態の液晶表示装置の駆動方法と同様である。すなわち、分極を有する強誘電性液晶、反強誘電性液晶、および1フィールド期間内に応答するOCBモード液晶のような高速液晶を駆動した場合には、画素電圧 $V_{pix}$ 、液晶光透過率は図43に示したものと同様である。また、図46に示した液晶表示装置を用いてTN液晶を駆動する場合についても、図43に示した駆動方法と同様にして駆動することができる。

【0303】

すなわち、図46に示した液晶表示装置を用いれば、第22～第24の実施の形態と同様に、液晶の応答に伴う画素電圧 $V_{pix}$ の変動を無くすることができるようになり、1フィールド毎に所望の階調を得ることが可能となる。

【0304】

また、上記駆動方法では、水平走査期間の前にリセット期間を設けたが、リセット期間と水平走査期間と同じタイミングとなるようにして駆動することも可能である。その場合、画素の選択と第1のn型MOSトランジスタ( $Q_n$ )4402のリセットが同時に行われることになる。

【0305】

また、図46に示した液晶表示装置では、アナログアンプとして動作する第1のn型MOSトランジスタ( $Q_{n1}$ )4402のリセットを第1のn型MOSトランジスタ( $Q_{n1}$ )4402自身で行う構成となっているため、電源線、リセットスイッチ等の配線、回路が不要となっている。その結果、従来よりも小面積でアナログアンプを構成でき、高開口率化を図るのに顕著な効果が得られる。

【0306】

また、上記実施の形態では、p型MOS型トランジスタ( $Q_p$ )4401、第1、第2のn型MOSトランジスタ( $Q_{n1}$ )4402、( $Q_{n2}$ )4403は、p-SiTFTで形成すると述べたが、a-SiTFT、CdSeTFT等の

他の薄膜トランジスタで形成しても良いし、単結晶シリコントランジスタで形成しても良い。

## 【0307】

以上説明した、第25の実施の形態の液晶表示装置およびその駆動方法を、1フィールド（1フレーム）期間に入射する光の色を切り換えてカラー表示を行う時分割駆動方式の液晶表示装置に適用したところ、色再現性の良い、高階調表示を実現することができた。これは、本発明の液晶表示装置が、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド（1フレーム）期間内に応答するOCBモード液晶のような高速液晶を駆動した場合においても、液晶の応答に伴う画素電圧の変動が発生せず、1フィールド（1フレーム）期間毎に所望の階調表示を行うことができるという特徴によるものである。この際、液晶材料として、無関反強誘電性液晶を用いた。

## 【0308】

次に本発明の第26の実施の形態について図面を参照して詳細に説明する。図47は、本発明の液晶表示装置の第26の実施の形態を示す図である。図に示すように、本発明の液晶表示装置は、ゲート電極が走査線101に接続され、ソース電極及びドレイン電極の一方が信号線102に接続された第1のn型MOS型トランジスタ（ $Q_{n1}$ ）4701と、ゲート電極がその第1のn型MOS型トランジスタ（ $Q_{n1}$ ）4701のソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセットパルス電源VR3704に接続され、ソース電極及びドレイン電極の他方が画素電極107に接続された第2のn型MOS型トランジスタ（ $Q_{n2}$ ）4702と、その第2のn型MOS型トランジスタ（ $Q_{n2}$ ）4702のゲート電極と電圧保持容量電極105との間に形成された電圧保持容量106と、画素電極107と電圧保持容量電極105の間に接続された抵抗RL4703と、画素電極107と対向電極108との間でスイッチングさせる液晶109とで構成されている。ここで、第1、第2のn型MOS型トランジスタ（ $Q_{n1}$ ）4701および（ $Q_{n2}$ ）4702は、p-SiTFTで構成されている。

## 【0309】

また、抵抗  $R_{L4703}$  の値は、第6の実施の形態と同様に、液晶の応答時定数を決めている抵抗成分の値以下に設定されている。すなわち、図60、図62に示した液晶等価回路における抵抗  $R_r$ 、 $R_{sp}$  と、抵抗  $R_{L4703}$  は前述の式(1)に示す関係となっている。

#### 【0310】

たとえば、抵抗  $R_{sp}$  が  $5\text{ G}\Omega$  である場合には、抵抗  $R_{L4703}$  は  $1\text{ G}\Omega$  程度の値に設定されてる。 $1\text{ G}\Omega$  という通常の半導体集積回路では用いられない大きな抵抗は、第6の実施の形態で説明したように、半導体薄膜か、もしくは不純物ドーピングされた半導体薄膜で形成する。

#### 【0311】

すなわち、抵抗  $R_{L4703}$  を、ライトリー・ドーピングされた  $n$  型半導体薄膜 ( $n^-$ ) で形成した場合の構造、および形成方法は、図16に示したものと同様である。また、抵抗  $R_{L4703}$  を不純物のドーピングされていない半導体薄膜 ( $i$  層) で形成した場合の構造、および形成方法は、図17に示したものと同様である。また、抵抗  $R_{L4703}$  を、ライトリー・ドーピングされた  $n$  型半導体薄膜 ( $n^-$ ) で形成した場合の構造、および形成方法は、図18に示したものと同様である。以上、図47に示す抵抗  $R_{L4703}$  を半導体薄膜、不純物ドーピングされた半導体薄膜で形成する場合について説明したが、式(1)を満たす抵抗であれば、他の材料を適用してもよい。

#### 【0312】

以下、図47に示した画素構成を用いた液晶表示装置の駆動方法について説明する。図48は、図47に示した画素構成により、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド期間内で応答するOCBモード液晶等の高速液晶を駆動した場合の、リセットパルス電圧  $V_R$ 、ゲート走査電圧  $V_g$ 、データ信号電圧  $V_d$ 、第2の  $n$  型MOSトランジスタ ( $Q_{n2}$ ) 4702のゲート電圧  $V_a$ 、画素電圧  $V_{pix}$  のタイミングチャート、および液晶の光透過率の変化を示したものである。ここで、液晶は、電圧無印加時に暗い状態となる、ノーマリー・ブラックモードで動作する例を示している。

図に示すように、リセットパルス電圧  $V_R$  がローレベル  $V_{gL}$  となる期間にお

いては、画素電極107は、第2のn型MOSトランジスタ(Qn2)4702を経由してゲート走査電圧VgLが転送されることによりリセット状態となる。ここで、下記に述べるように、第2のn型MOSトランジスタ(Qn2)4702は、リセットパルスVRがハイレベルになった後、ソースフォロワ型のアナログアンプとして動作するが、リセットパルス電圧VRがローレベルの期間に、画素電圧VpixがVgLとなることで、第2のn型MOSトランジスタ(Qn2)4702のリセットが行われる。

リセットパルス電圧VRがローレベルVgLとなるリセット期間に続いて、ゲート走査電圧VgがハイレベルVgHとなる期間において、第1のn型MOSトランジスタ(Qn1)4701はオン状態となり、信号線に入力されているデータ信号Vdが第1のn型MOSトランジスタ(Qn1)4701を経由して第2のn型MOSトランジスタ(Qn2)4702のゲート電極に転送される。水平走査期間が終了し、ゲート走査電圧Vgがローレベルとなると、第1のn型MOSトランジスタ(Qn1)4701はオフ状態となり、第2のn型MOSトランジスタ(Qn2)4702のゲート電極に転送されたデータ信号は電圧保持容量105により保持される。この際、第2のn型MOSトランジスタ(Qn2)4702のゲート入力電圧Vaは、第1のn型MOSトランジスタ(Qn1)4701がオフ状態になる時刻において、第1のn型MOSトランジスタ(Qn1)4701のゲート・ソース間容量を経由してフィードスルー電圧と呼ばれる電圧シフトを起こす。図48には、Vf1、Vf2、Vf3で示されており、この電圧シフトVf1～Vf3の量は、電圧保持容量105の値を大きく設計することにより小さくすることができる。第2のn型MOSトランジスタ(Qn2)4702のゲート入力電圧Vaは、次のフィールド期間において、再びゲート走査電圧Vgがハイレベルとなり、第1のn型MOSトランジスタ(Qn1)4701が選択されるまで保持される。

一方、第2のn型MOSトランジスタ(Qn2)4702は、リセットパルス電圧VRがローレベルVgLとなるリセット期間にリセットが完了しており、水平走査期間以降は、画素電極107をソース電極としたソースフォロワ型アナログアンプとして動作する。この際、電圧保持容量電極105には、第2のn型M

OSトランジスタ ( $Q_{n2}$ ) 4702をアナログアンプとして動作させるために、少なくとも ( $V_{dmin} - V_{tn}$ ) よりも低い電圧を供給しておく。ここで、 $V_{dmin}$ はデータ信号  $V_d$  の最小値、 $V_{tn}$ は第2の  $n$ 型MOSトランジスタ ( $Q_{n2}$ ) 4702の閾値電圧である。第2の  $n$ 型MOSトランジスタ ( $Q_{n2}$ ) 4702は、次のフィールドでリセットパルス電圧  $V_R$  が  $V_{gL}$  となってリセットが行われるまでの間、その保持されたゲート入力電圧  $V_a$  に応じたアナログ階調電圧を出力することができる。その出力電圧は、第2の  $n$ 型MOSトランジスタ ( $Q_{n2}$ ) 4702のトランス・コンダクタンス  $g_{mn}$  と抵抗  $R_{L4703}$  との値によって変わるが、およそ、前述の式 (4) で表される。

### 【0313】

以上説明したように、本発明の液晶表示装置を用いれば、従来技術で述べたような液晶の応答に伴う画素電圧  $V_{pix}$  の変動を無くすことができるようになり、図48の液晶光透過率にも示されるように、1フィールド毎に所望の階調を得ることが可能となる。

また、上記駆動方法では、水平走査期間の前にリセット期間を設けたが、リセット期間と水平走査期間と同じタイミングとなるようにして駆動することも可能である。その場合、画素の選択と第2の  $n$ 型MOSトランジスタ ( $Q_{n2}$ ) 4702のリセットが同時に行われることになる。その時のタイミングチャートを図49に示す。

また、本発明の液晶表示装置では、アナログアンプとして動作する第2の  $n$ 型MOSトランジスタ ( $Q_{n2}$ ) 4702のリセットを第2の  $n$ 型MOSトランジスタ ( $Q_{n2}$ ) 4702自身で行う構成となっているため、電源線、リセットスイッチ等の配線、回路が不要となっている。その結果、従来よりも小面積でアナログアンプを構成でき、高開口率化を図るのに顕著な効果が得られる。

### 【0314】

また、リセットパルス電源  $V_R$  を別途設けているので、第2、第10の実施形態で説明した液晶表示装置に比べて、アンプのリセットに伴う走査パルス信号の遅延を無くすことができるという利点を持っている。

### 【0315】

また、本実施の形態では、画素部がn型MOSトランジスタだけで構成されているので、作製プロセスが簡略になるという利点もある。

## 【0316】

また、上記実施の形態では、第1のn型MOS型トランジスタ(Qn1)4701および第2のn型MOSトランジスタ(Qn2)4702は、p-SiTFTで形成すると述べたが、a-SiTFT、CdSeTFT等の他の薄膜トランジスタで形成しても良いし、単結晶シリコントランジスタで形成しても良い。

## 【0317】

また、図48、図49に示した駆動方法と同様の駆動方法により、TN液晶を駆動することも当然可能である。従来の液晶表示装置では、TN液晶の分子がスイッチングすることにより液晶容量が変化し、前述の図61に示したように、画素電圧 $V_{pix}$ が変動してしまい、本来の液晶光透過率 $T_0$ を得ることができない。それに対し、図47に示した本発明の液晶表示装置においては、第2のn型MOSトランジスタ(Qn2)4702がアンプとして動作し、TN液晶の容量の変化に影響されることなく液晶109に一定の電圧を印加し続けることができるので、本来の光透過率が得られ、正確な階調表示を行うことができる。

## 【0318】

以上説明した、第26の実施の形態の液晶表示装置およびその駆動方法を、1フィールド(1フレーム)期間に入射する光の色を切り換えてカラー表示を行う時分割駆動方式の液晶表示装置に適用したところ、色再現性の良い、高階調表示を実現することができた。これは、本発明の液晶表示装置が、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド(1フレーム)期間内に応答するOCBモード液晶のような高速液晶を駆動した場合においても、液晶の応答に伴う画素電圧の変動が発生せず、1フィールド(1フレーム)期間毎に所望の階調表示を行うことができるという特徴によるものである。この際、液晶材料として、無関反強誘電性液晶を用いた。

## 【0319】

次に本発明の第27の実施の形態について図面を参照して詳細に説明する。図50は、本発明の液晶表示装置の第27の実施の形態を示す図である。図に示す

ように、本発明の液晶表示装置は、ゲート電極が走査線 101 に接続され、ソース電極及びドレイン電極の一方が信号線 102 に接続された第 1 の n 型 MOS 型トランジスタ ( $Q_{n1}$ ) 5001 と、ゲート電極がその第 1 の n 型 MOS トランジスタ ( $Q_{n1}$ ) 5001 のソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセットパルス電源 VR3704 に接続され、ソース電極及びドレイン電極の他方が画素電極 107 に接続された第 2 の n 型 MOS トランジスタ ( $Q_{n2}$ ) 5002 と、その第 2 の n 型 MOS トランジスタ ( $Q_{n2}$ ) 5002 のゲート電極と電圧保持容量電極 105 との間に形成された電圧保持容量 106 と、ゲート電極がバイアス電源 VB5004 に接続され、ソース電極が前記電圧保持容量電極 105 に接続され、ドレイン電極が前記画素電極に接続された第 3 の n 型 MOS トランジスタ ( $Q_{n3}$ ) 5003 と、画素電極 107 と対向電極 108 との間でスイッチングさせる液晶 109 とで構成されている。ここで、第 1 の n 型 MOS 型トランジスタ ( $Q_{n1}$ ) 5001、および第 2、第 3 の n 型 MOS トランジスタ ( $Q_{n2}$ ) 5002、( $Q_{n3}$ ) 5003 は、p-SiTFT で構成されている。また、第 3 の n 型 MOS トランジスタ ( $Q_{n3}$ ) 5003 のゲート電極に供給するバイアス電源 VB5004 は、第 3 の n 型 MOS トランジスタ ( $Q_{n3}$ ) 5003 のソースドレイン間抵抗  $R_{dsn}$  が、液晶の応答時定数を決めている抵抗成分の値以下となるように設定されている。すなわち、図 60、図 62 に示した液晶等価回路における抵抗  $R_r$ 、 $R_{sp}$  と、ソース・ドレイン間抵抗  $R_{dsn}$  は、前述の式 (5) に示す関係となっている。

#### 【0320】

たとえば、抵抗  $R_{sp}$  が  $5\text{ G}\Omega$  である場合には、ソース・ドレイン間抵抗  $R_{dsn}$  が  $1\text{ G}\Omega$  を越えないようなバイアス電源 VB5004 が供給される。その時の、第 3 の n 型 MOS トランジスタ ( $Q_{n3}$ ) 5003 のドレイン電流・ゲート電圧特性と動作点は、図 23 に示したものと同様である。すなわち、図 23 の例では、第 3 の n 型 MOS トランジスタ ( $Q_{n3}$ ) 5003 のゲート・ソース間電圧 ( $V_B - V_{CH}$ ) を  $3\text{ V}$  程度に設定している。その結果、第 3 の n 型 MOS トランジスタ ( $Q_{n3}$ ) 5003 のドレイン電流はおよそ  $1\text{ E}-8\text{ (A)}$  となり、ソース・ドレイン間電圧  $V_{dsn}$  が  $10\text{ V}$  の時、ソース・ドレイン間抵抗  $R_{ds}$



nは1GΩとなる。また、第3のn型MOSトランジスタ(Q<sub>n3</sub>)5003は、弱反転領域で動作しており、ソース・ドレイン間電圧V<sub>d s n</sub>が2～14Vと変化しても、ドレイン電流はほぼ一定である。第3のn型MOSトランジスタ(Q<sub>n3</sub>)5003は、第2のn型MOSトランジスタ(Q<sub>n2</sub>)5002をアナログアンプとして動作させる場合の、バイアス電流源として動作している。

#### 【0321】

以上説明した、図50に示す第27の実施の形態の液晶表示装置の駆動方法は、先に図48、図49を用いて説明した第26の実施の形態の液晶表示装置の駆動方法と同様である。すなわち、分極を有する強誘電性液晶、反強誘電性液晶、および1フィールド期間内に応答するOCBモード液晶のような高速液晶を駆動した場合には、画素電圧V<sub>p i x</sub>、液晶光透過率は図48、図49に示したものと同様である。また、図50に示した液晶表示装置を用いてTN液晶を駆動する場合についても、図48、図49に示した駆動方法と同様にして駆動することができる。

#### 【0322】

すなわち、図50に示した液晶表示装置を用いれば、第26の実施の形態と同様に、液晶の応答に伴う画素電圧V<sub>p i x</sub>の変動を無くすることができるようになり、1フィールド毎に所望の階調を得ることが可能となる。

#### 【0323】

また、図50に示した液晶表示装置では、アナログアンプとして動作する第2のn型MOSトランジスタ(Q<sub>n2</sub>)5002のリセットを第2のn型MOSトランジスタ(Q<sub>n2</sub>)5002自身で行う構成となっているため、電源線、リセットスイッチ等の配線、回路が不要となっている。その結果、従来よりも小面積でアナログアンプを構成でき、高開口率化を図るのに顕著な効果が得られる。

#### 【0324】

また、リセットパルス電源V<sub>R 3 7 0 4</sub>を別途設けているので、第3、第11の実施形態で説明した液晶表示装置に比べて、アンプのリセットに伴う走査パルス信号の遅延を無くすることができるという利点を持っている。

#### 【0325】

また、本実施の形態では、画素部がn型MOSトランジスタだけで構成されているので、作製プロセスが簡略になるという利点もある。

## 【0326】

また、上記実施の形態では、第1のn型MOS型トランジスタ(Qn1)5001、第2、第3のn型MOSトランジスタ(Qn2)5002、(Qn3)5003は、p-SiTFTで形成すると述べたが、a-SiTFT、CdSeTFT等の他の薄膜トランジスタで形成しても良いし、単結晶シリコントランジスタで形成しても良い。

## 【0327】

以上説明した、第27の実施の形態の液晶表示装置およびその駆動方法を、1フィールド(1フレーム)期間に入射する光の色を切り換えてカラー表示を行う時分割駆動方式の液晶表示装置に適用したところ、色再現性の良い、高階調表示を実現することができた。これは、本発明の液晶表示装置が、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド(1フレーム)期間内に応答するOCBモード液晶のような高速液晶を駆動した場合においても、液晶の応答に伴う画素電圧の変動が発生せず、1フィールド(1フレーム)期間毎に所望の階調表示を行うことができるという特徴によるものである。この際、液晶材料として、無関反強誘電性液晶を用いた。

## 【0328】

次に本発明の第28の実施の形態について図面を参照して詳細に説明する。図51は、本発明の液晶表示装置の第28の実施の形態を示す図である。図に示すように、本発明の液晶表示装置は、ゲート電極が走査線101に接続され、ソース電極及びドレイン電極の一方が信号線102に接続された第1のn型MOS型トランジスタ(Qn1)5001と、ゲート電極がその第1のn型MOSトランジスタ(Qn1)5001のソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセットパルス電源VR3704に接続され、ソース電極及びドレイン電極の他方が画素電極107に接続された第2のn型MOSトランジスタ(Qn2)5002と、その第2のn型MOSトランジスタ(Qn2)5002のゲート電極と電圧保持容量電極105との間に形成された

電圧保持容量106と、ゲート電極が電圧保持容量電極105に接続され、ソース電極がソース電源VS5101に接続され、ドレイン電極が画素電極107に接続された第3のn型MOSトランジスタ(Qn3)5003と、画素電極107と対向電極108との間でスイッチングさせる液晶109とで構成されている。ここで、第1のn型MOS型トランジスタ(Qn1)5001、および第2、第3のn型MOSトランジスタ(Qn2)5002、(Qn3)5003は、p-SiTFTで構成されている。

### 【0329】

また、第3のn型MOSトランジスタ(Qn3)5003のソース電極に供給するソース電源VS5101は、第3のn型MOSトランジスタ(Qn3)5003のソースドレイン間抵抗Rdsnが、液晶の応答時定数を決めている抵抗成分の値以下となるように設定されている。すなわち、図60、図62に示した液晶等価回路における抵抗Rr、Rspと、ソース・ドレイン間抵抗Rdsnは、前述の式(5)に示された関係となっており、たとえば、抵抗Rspが5GΩである場合には、ソース・ドレイン間抵抗Rdsnが1GΩを越えないようなソース電源VS5101が供給される。第3のn型MOSトランジスタ(Qn3)5003の動作点は、前述の図23に示した動作点と同様である。すなわち、図23の例では、第3のn型MOSトランジスタ(Qn3)5003のゲート・ソース間電圧(VCH-VS)を3V程度に設定している。その結果、第3のn型MOSトランジスタ(Qn3)5003のドレイン電流はおよそ1E-8(A)となり、ソース・ドレイン間電圧Vdsnが10Vの時、ソース・ドレイン間抵抗Rdsnは1GΩとなる。また、第3のn型MOSトランジスタ(Qn3)5003は、弱反転領域で動作しており、ソース・ドレイン間電圧Vdsnが2~14Vと変化しても、ドレイン電流はほぼ一定である。第3のn型MOSトランジスタ(Qn3)5003は、第2のn型MOSトランジスタ(Qn2)5002をアナログアンプとして動作させる場合の、バイアス電流源として動作している。

### 【0330】

以上説明した、図51に示す第28の実施の形態の液晶表示装置の駆動方法は

、先に説明した第26、第27の実施の形態の液晶表示装置の駆動方法と同様である。すなわち、分極を有する強誘電性液晶、反強誘電性液晶、および1フィールド期間内に応答するOCBモード液晶のような高速液晶を駆動した場合には、画素電圧 $V_{pix}$ 、液晶光透過率は図48、図49に示したものと同様である。また、図51に示した液晶表示装置を用いてTN液晶を駆動する場合についても、図48、図49に示した駆動方法と同様にして駆動することができる。

#### 【0331】

すなわち、図51に示した液晶表示装置を用いれば、第26、第27の実施の形態と同様に、液晶の応答に伴う画素電圧 $V_{pix}$ の変動を無くすることができるようになり、1フィールド毎に所望の階調を得ることが可能となる。

#### 【0332】

また、図51に示した液晶表示装置では、アナログアンプとして動作する第2のn型MOSトランジスタ( $Q_{n2}$ )5002のリセットを第2のn型MOSトランジスタ( $Q_{n2}$ )5002自身で行う構成となっているため、電源線、リセットスイッチ等の配線、回路が不要となっている。その結果、従来よりも小面積でアナログアンプを構成でき、高開口率化を図るのに顕著な効果が得られる。

#### 【0333】

また、リセットパルス電源VRを別途設けているので、第4、第12の実施形態で説明した液晶表示装置に比べて、アンプのリセットに伴う走査パルス信号の遅延を無くすることができるという利点を持っている。

#### 【0334】

また、本実施の形態では、画素部がn型MOSトランジスタだけで構成されているので、作製プロセスが簡略になるという利点もある。

#### 【0335】

また、上記実施の形態では、第1のn型MOS型トランジスタ( $Q_{n1}$ )5001、第2、第3のn型MOSトランジスタ( $Q_{n2}$ )5002、( $Q_{n3}$ )5003は、p-SiTFTで形成すると述べたが、a-SiTFT、CdSeTFT等の他の薄膜トランジスタで形成しても良いし、単結晶シリコントランジスタで形成しても良い。

## 【0336】

以上説明した、第28の実施の形態の液晶表示装置およびその駆動方法を、1フィールド（1フレーム）期間に入射する光の色を切り換えてカラー表示を行う時分割駆動方式の液晶表示装置に適用したところ、色再現性の良い、高階調表示を実現することができた。これは、本発明の液晶表示装置が、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド（1フレーム）期間内に応答するOCBモード液晶のような高速液晶を駆動した場合においても、液晶の応答に伴う画素電圧の変動が発生せず、1フィールド（1フレーム）期間毎に所望の階調表示を行うことができるという特徴によるものである。この際、液晶材料として、無関反強誘電性液晶を用いた。

## 【0337】

次に本発明の第29の実施の形態について図面を参照して詳細に説明する。図52は、本発明の液晶表示装置の第29の実施の形態を示す図である。図に示すように、本発明の液晶表示装置は、ゲート電極が走査線101に接続され、ソース電極及びドレイン電極の一方が信号線102に接続された第1のn型MOS型トランジスタ（Qn1）5001と、ゲート電極がその第1のn型MOSトランジスタ（Qn1）5001のソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセットパルス電源VR3704に接続され、ソース電極及びドレイン電極の他方が画素電極107に接続された第2のn型MOSトランジスタ（Qn2）5002と、その第2のn型MOSトランジスタ（Qn2）5002のゲート電極と電圧保持容量電極105との間に形成された電圧保持容量106と、ゲート電極およびソース電極が電圧保持容量電極105に接続され、ドレイン電極が画素電極107に接続された第3のn型MOSトランジスタ（Qn3）5003と、画素電極107と対向電極108との間でスイッチングさせる液晶109とで構成されている。ここで、第1のn型MOS型トランジスタ（Qn1）5001、および第2、第3のn型MOSトランジスタ（Qn2）5002、（Qn3）5003は、p-SiTFTで構成されている。

## 【0338】

また、第3のn型MOSトランジスタ（Qn3）5003のゲート電極とソー

ス電極はともに電圧保持容量電極 105 に接続されているため、第 3 の n 型 MOS トランジスタ ( $Q_{n3}$ ) 5003 のゲート・ソース間電圧  $V_{gsn}$  は 0 V となる。このバイアス条件下で、第 3 の n 型 MOS トランジスタ ( $Q_{n3}$ ) 5003 のソース・ドレイン間抵抗  $R_{dsn}$  が前述の式 (5) を満たすように、第 3 の n 型 MOS トランジスタ ( $Q_{n3}$ ) 5003 の閾値電圧をチャネル・ドーズにより負側にシフト制御している。その時の、第 3 の n 型 MOS トランジスタ ( $Q_{n3}$ ) 5003 のドレイン電流・ゲート電圧特性と動作点は、図 26 に示したものと同様である。すなわち、図 26 に示すように、ゲート・ソース間電圧が 0 V の時、ドレイン電流が約  $1E-8$  (A) となるように、チャネルドーズにより、閾値電圧が正側にシフト制御されている。その結果、第 3 の n 型 MOS トランジスタ ( $Q_{n3}$ ) 5003 のドレイン電流はおおよそ  $1E-8$  (A) となり、ソース・ドレイン間電圧  $V_{dsn}$  が 10 V の時、ソース・ドレイン間抵抗  $R_{dsn}$  は  $1G\Omega$  となる。また、第 3 の n 型 MOS トランジスタ ( $Q_{n3}$ ) 5003 は、弱反転領域で動作しており、ソース・ドレイン間電圧  $V_{dsn}$  が 2 ~ 14 V と変化しても、ドレイン電流はほぼ一定である。第 3 の n 型 MOS トランジスタ ( $Q_{n3}$ ) 5003 は、第 2 の n 型 MOS トランジスタ ( $Q_{n2}$ ) 5002 をアナログアンプとして動作させる場合の、バイアス電流源として動作している。

#### 【0339】

第 29 の実施の形態では、第 27、第 28 の実施の形態で必要であった、バイアス電源  $VB5004$ 、ソース電源  $VS5101$  が不要となっているが、チャネルドーズ工程が余分に必要となる。

#### 【0340】

以上説明した、図 52 に示す第 29 の実施の形態の液晶表示装置の駆動方法は、先に説明した第 26 ~ 第 28 の実施の形態の液晶表示装置の駆動方法と同様である。すなわち、分極を有する強誘電性液晶、反強誘電性液晶、および 1 フィールド期間内に応答する OCB モード液晶のような高速液晶を駆動した場合には、画素電圧  $V_{pix}$ 、液晶光透過率は図 48、および図 49 に示したものと同様である。また、図 52 に示した液晶表示装置を用いて TN 液晶を駆動する場合についても、図 48、図 49 に示した駆動方法と同様にして駆動することができる。

## 【0341】

すなわち、図52に示した液晶表示装置を用いれば、第26～第28の実施の形態と同様に、液晶の応答に伴う画素電圧 $V_{pix}$ の変動を無くすることができるようになり、1フィールド毎に所望の階調を得ることが可能となる。

## 【0342】

また、図52に示した液晶表示装置では、アナログアンプとして動作する第2のn型MOSトランジスタ( $Q_{n2}$ )5002のリセットを第2のn型MOSトランジスタ( $Q_{n2}$ )5002自身で行う構成となっているため、電源線、リセットスイッチ等の配線、回路が不要となっている。その結果、従来よりも小面積でアナログアンプを構成でき、高開口率化を図るのに顕著な効果が得られる。

## 【0343】

また、リセットパルス電源VRを別途設けているので、第5、第13の実施形態で説明した液晶表示装置に比べて、アンプのリセットに伴う走査パルス信号の遅延を無くすることができるという利点を持っている。

## 【0344】

また、本実施の形態では、画素部がn型MOSトランジスタだけで構成されているので、作製プロセスが簡略になるという利点もある。

## 【0345】

また、上記実施の形態では、第1のn型MOS型トランジスタ( $Q_{n1}$ )5001、第2、第3のn型MOSトランジスタ( $Q_{n2}$ )5002、( $Q_{n3}$ )5003は、p-SiTFTで形成すると述べたが、a-SiTFT、CdSeTFT等の他の薄膜トランジスタで形成しても良いし、単結晶シリコントランジスタで形成しても良い。

## 【0346】

以上説明した、第29の実施の形態の液晶表示装置およびその駆動方法を、1フィールド(1フレーム)期間に入射する光の色を切り換えてカラー表示を行う時分割駆動方式の液晶表示装置に適用したところ、色再現性の良い、高階調表示を実現することができた。これは、本発明の液晶表示装置が、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド(1フレーム)期間内に応答する

OCBモード液晶のような高速液晶を駆動した場合においても、液晶の応答に伴う画素電圧の変動が発生せず、1フィールド（1フレーム）期間毎に所望の階調表示を行うことができるという特徴によるものである。この際、液晶材料として、無閾反強誘電性液晶を用いた。

## 【0347】

次に本発明の第30の実施の形態について図面を参照して詳細に説明する。図53は、本発明の液晶表示装置の第30の実施の形態を示す図である。図に示すように、本発明の液晶表示装置は、ゲート電極が走査線101に接続され、ソース電極及びドレイン電極の一方が信号線102に接続された第1のp型MOS型トランジスタ（ $Q_{p1}$ ）5301と、ゲート電極がその第1のp型MOSトランジスタ（ $Q_{p1}$ ）5301のソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセットパルス電源VR3704に接続され、ソース電極及びドレイン電極の他方が画素電極107に接続された第2のp型MOSトランジスタ（ $Q_{p2}$ ）5302と、その第2のp型MOSトランジスタ（ $Q_{p2}$ ）5302のゲート電極と電圧保持容量電極105との間に形成された電圧保持容量106と、画素電極107と電圧保持容量電極105の間に接続された抵抗RL5303と、画素電極107と対向電極108との間でスイッチングさせる液晶109とで構成されている。ここで、第1、第2のp型MOS型トランジスタ（ $Q_{p1}$ ）5301および（ $Q_{p2}$ ）5302は、p-SiTFTで構成されている。

## 【0348】

また、抵抗RL5303の値は、第2の実施の形態と同様に、液晶の応答時定数を決めている抵抗成分の値以下に設定されている。すなわち、図60、図62に示した液晶等価回路における抵抗 $R_r$ 、 $R_{sp}$ と、抵抗RL5303は前述の式（1）に示す関係となっている。

## 【0349】

たとえば、抵抗 $R_{sp}$ が5G $\Omega$ である場合には、抵抗RL5303は1G $\Omega$ 程度の値に設定されてる。1G $\Omega$ という通常の半導体集積回路では用いられない大きな抵抗は、第2の実施の形態で説明したように、半導体薄膜か、もしくは不純



物ドーピングされた半導体薄膜で形成する。

#### 【0350】

すなわち、抵抗RL5303を、ライトリー・ドーピングされたp型半導体薄膜(p-)で形成した場合の構造、および形成方法は、図4に示したものと同様である。また、抵抗RL5303を不純物のドーピングされていない半導体薄膜(i層)で形成した場合の構造、および形成方法は、図5に示したものと同様である。また、抵抗RL5303を、ライトリー・ドーピングされたp型半導体薄膜(p-)で形成した場合の構造、および形成方法は、図6に示したものと同様である。以上、図53に示す抵抗RL5303を半導体薄膜、不純物ドーピングされた半導体薄膜で形成する場合について説明したが、式(1)を満たす抵抗であれば、他の材料を適用してもよい。

#### 【0351】

以下、図53に示した画素構成を用いた液晶表示装置の駆動方法について説明する。図54は、図53に示した画素構成により、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド期間内で応答するOCBモード液晶等の高速液晶を駆動した場合の、リセットパルス電圧VR、ゲート走査電圧Vg、データ信号電圧Vd、第2のp型MOSトランジスタ(Qp2)5302のゲート電圧Va、画素電圧Vpixのタイミングチャート、および液晶の光透過率の変化を示したものである。ここで、液晶は、電圧無印加時に暗い状態となる、ノーマリー・ブラックモードで動作する例を示している。

#### 【0352】

図に示すように、リセットパルス電圧VRがハイレベルVgHとなる期間においては、画素電極107は、第2のp型MOSトランジスタ(Qp2)5302を経由してゲート走査電圧VgHが転送されることによりリセット状態となる。ここで、下記に述べるように、第2のp型MOSトランジスタ(Qp2)5302は、リセットパルスVRがローレベルになった後、ソースフォロワ型のアナログアンプとして動作するが、リセットパルス電圧VRがハイレベルの期間に、画素電圧VpixがVgHとなることで、第2のp型MOSトランジスタ(Qp2)5302のリセットが行われる。

## 【0353】

リセットパルス電圧 $V_R$ がハイレベル $V_{gH}$ となるリセット期間に続いて、ゲート走査電圧 $V_g$ がローレベル $V_{gL}$ となる期間において、第1のp型MOSトランジスタ( $Q_{p1}$ ) 5301はオン状態となり、信号線に入力されているデータ信号 $V_d$ が第1のp型MOSトランジスタ( $Q_{p1}$ ) 5301を經由して第2のp型MOSトランジスタ( $Q_{p2}$ ) 5302のゲート電極に転送される。水平走査期間が終了し、ゲート走査電圧 $V_g$ がハイレベルとなると、第1のp型MOSトランジスタ( $Q_{p1}$ ) 5301はオフ状態となり、第2のp型MOSトランジスタ( $Q_{p2}$ ) 5302のゲート電極に転送されたデータ信号は電圧保持容量105により保持される。この際、第2のp型MOSトランジスタ( $Q_{p2}$ ) 5302のゲート入力電圧 $V_a$ は、第1のp型MOSトランジスタ( $Q_{p1}$ ) 5301がオフ状態になる時刻において、第1のp型MOSトランジスタ( $Q_{p1}$ ) 5301のゲート・ソース間容量を經由してフィードスルー電圧と呼ばれる電圧シフトを起こす。図54には、 $V_{f1}$ 、 $V_{f2}$ 、 $V_{f3}$ で示されており、この電圧シフト $V_{f1} \sim V_{f3}$ の量は、電圧保持容量105の値を大きく設計することにより小さくすることができる。第2のp型MOSトランジスタ( $Q_{p2}$ ) 5302のゲート入力電圧 $V_a$ は、次のフィールド期間において、再びゲート走査電圧 $V_g$ がハイレベルとなり、第1のp型MOSトランジスタ( $Q_{p1}$ ) 5301が選択されるまで保持される。

## 【0354】

一方、第2のp型MOSトランジスタ( $Q_{p2}$ ) 5302は、リセットパルス電圧 $V_R$ がハイレベル $V_{gH}$ となるリセット期間にリセットが完了しており、水平走査期間以降は、画素電極107をソース電極としたソースフォロワ型アナログアンプとして動作する。この際、電圧保持容量電極105には、第2のp型MOSトランジスタ( $Q_{p2}$ ) 5302をアナログアンプとして動作させるために、少なくとも $(V_{dmax} - V_{tp})$ よりも高い電圧を供給しておく。ここで、 $V_{dmax}$ はデータ信号 $V_d$ の最大値、 $V_{tp}$ は第2のp型MOSトランジスタ( $Q_{p2}$ ) 5302の閾値電圧である。第2のp型MOSトランジスタ( $Q_{p2}$ ) 5302は、次のフィールドでリセットパルス電圧 $V_R$ が $V_{gH}$ となってリセ

ットが行われるまでの間、その保持されたゲート入力電圧  $V_a$  に応じたアナログ階調電圧を出力することができる。その出力電圧は、第2のp型MOSトランジスタ ( $Q_{p2}$ ) 5302のトランス・コンダクタンス  $g_{mp}$  と抵抗  $R_{L5303}$  との値によって変わるが、およそ、前述の式(2)で表される。

## 【0355】

以上説明したように、本発明の液晶表示装置を用いれば、従来技術で述べたような液晶の応答に伴う画素電圧  $V_{pix}$  の変動を無くすことができるようになり、図54の液晶光透過率にも示されるように、1フィールド毎に所望の階調を得ることが可能となる。

## 【0356】

また、上記駆動方法では、水平走査期間の前にリセット期間を設けたが、リセット期間と水平走査期間と同じタイミングとなるようにして駆動することも可能である。その場合、画素の選択と第2のp型MOSトランジスタ ( $Q_{p2}$ ) 5302のリセットが同時に行われることになる。その時のタイミングチャートを図55に示す。

## 【0357】

また、本発明の液晶表示装置では、アナログアンプとして動作する第2のp型MOSトランジスタ ( $Q_{p2}$ ) 5302のリセットを第2のp型MOSトランジスタ ( $Q_{p2}$ ) 5302自身で行う構成となっているため、電源線、リセットスイッチ等の配線、回路が不要となっている。その結果、従来よりも小面積でアナログアンプを構成でき、高開口率化を図るのに顕著な効果が得られる。

## 【0358】

また、リセットパルス電源  $V_R$  を別途設けているので、第6、第14の実施形態で説明した液晶表示装置に比べて、アンプのリセットに伴う走査パルス信号の遅延を無くすることができるという利点を持っている。

## 【0359】

また、本実施の形態では、画素部がp型MOSトランジスタだけで構成されているので、作製プロセスが簡略になるという利点もある。

## 【0360】

また、上記実施の形態では、第1のp型MOS型トランジスタ(Qp1)5301および第2のp型MOSトランジスタ(Qp2)5302は、p-SiTFTで形成すると述べたが、a-SiTFT、CdSeTFT等の他の薄膜トランジスタで形成しても良いし、単結晶シリコントランジスタで形成しても良い。

## 【0361】

また、図54、図55に示した駆動方法と同様の駆動方法により、TN液晶を駆動することも当然可能である。従来の液晶表示装置では、TN液晶の分子がスイッチングすることにより液晶容量が変化し、前述の図61に示したように、画素電圧Vpixが変動してしまい、本来の液晶光透過率T0を得ることができない。それに対し、図53に示した本発明の液晶表示装置においては、第2のp型MOSトランジスタ(Qp2)5302がアンプとして動作し、TN液晶の容量の変化に影響されることなく液晶109に一定の電圧を印加し続けることができるので、本来の光透過率が得られ、正確な階調表示を行うことができる。

## 【0362】

以上説明した、第30の実施の形態の液晶表示装置およびその駆動方法を、1フィールド(1フレーム)期間に入射する光の色を切り換えてカラー表示を行う時分割駆動方式の液晶表示装置に適用したところ、色再現性の良い、高階調表示を実現することができた。これは、本発明の液晶表示装置が、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド(1フレーム)期間内に応答するOCBモード液晶のような高速液晶を駆動した場合においても、液晶の応答に伴う画素電圧の変動が発生せず、1フィールド(1フレーム)期間毎に所望の階調表示を行うことができるという特徴によるものである。この際、液晶材料として、無関反強誘電性液晶を用いた。

## 【0363】

次に本発明の第31の実施の形態について図面を参照して詳細に説明する。図56は、本発明の液晶表示装置の第31の実施の形態を示す図である。図に示すように、本発明の液晶表示装置は、ゲート電極が走査線101に接続され、ソース電極及びドレイン電極の一方が信号線102に接続された第1のp型MOS型トランジスタ(Qp1)5601と、ゲート電極がその第1のp型MOSトラン

ジスタ ( $Q_{p1}$ ) 5601のソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセットパルス電源VR3704に接続され、ソース電極及びドレイン電極の他方が画素電極107に接続された第2のp型MOSトランジスタ ( $Q_{p2}$ ) 5602と、その第2のp型MOSトランジスタ ( $Q_{p2}$ ) 5602のゲート電極と電圧保持容量電極105との間に形成された電圧保持容量106と、ゲート電極がバイアス電源VB5604に接続され、ソース電極が前記電圧保持容量電極105に接続され、ドレイン電極が前記画素電極に接続された第3のp型MOSトランジスタ ( $Q_{p3}$ ) 5603と、画素電極107と対向電極108との間でスイッチングさせる液晶109とで構成されている。ここで、第1のp型MOS型トランジスタ ( $Q_{p1}$ ) 5601、および第2、第3のp型MOSトランジスタ ( $Q_{p2}$ ) 5602、( $Q_{p3}$ ) 5603は、p-Si TFTで構成されている。また、第3のp型MOSトランジスタ ( $Q_{p3}$ ) 5603のゲート電極に供給するバイアス電源VB5604は、第3のp型MOSトランジスタ ( $Q_{p3}$ ) 5603のソースドレイン間抵抗 $R_{dsp}$ が、液晶の応答時定数を決めている抵抗成分の値以下となるように設定されている。すなわち、図60、図62に示した液晶等価回路における抵抗 $R_r$ 、 $R_{sp}$ と、ソース・ドレイン間抵抗 $R_{dsp}$ は、前述の式(3)に示す関係となっている。

#### 【0364】

たとえば、抵抗 $R_{sp}$ が $5\text{ G}\Omega$ である場合には、ソース・ドレイン間抵抗 $R_{dsp}$ が $1\text{ G}\Omega$ を越えないようなバイアス電源VB5604が供給される。その時の、第3のp型MOSトランジスタ ( $Q_{p3}$ ) 5603のドレイン電流・ゲート電圧特性と動作点は、図11に示したものと同様である。すなわち、図11の例では、第3のp型MOSトランジスタ ( $Q_{p3}$ ) 5603のゲート・ソース間電圧 ( $V_B - V_{CH}$ ) を $-3\text{ V}$ 程度に設定している。その結果、第3のp型MOSトランジスタ ( $Q_{p3}$ ) 5603のドレイン電流はおよそ $1\text{ E}-8\text{ (A)}$ となり、ソース・ドレイン間電圧 $V_{dsp}$ が $-10\text{ V}$ の時、ソース・ドレイン間抵抗 $R_{dsp}$ は $1\text{ G}\Omega$ となる。また、第3のp型MOSトランジスタ ( $Q_{p3}$ ) 5603は、弱反転領域で動作しており、ソース・ドレイン間電圧 $V_{dsp}$ が $-2 \sim -14\text{ V}$ と変化しても、ドレイン電流はほぼ一定である。第3のp型MOSトラン

ジスタ (Q p 3) 5603 は、第2の p 型 MOS トランジスタ (Q p 2) 5602 をアナログアンプとして動作させる場合の、バイアス電流源として動作している。

## 【0365】

以上説明した、図56に示す第31の実施の形態の液晶表示装置の駆動方法は、先に図54、図55を用いて説明した第30の実施の形態の液晶表示装置の駆動方法と同様である。すなわち、分極を有する強誘電性液晶、反強誘電性液晶、および1フィールド期間内に応答するOCBモード液晶のような高速液晶を駆動した場合には、画素電圧  $V_{pix}$ 、液晶光透過率は図54、図55に示したものと同様である。また、図56に示した液晶表示装置を用いてTN液晶を駆動する場合についても、図54、図55に示した駆動方法と同様にして駆動することができる。

## 【0366】

すなわち、図56に示した液晶表示装置を用いれば、第31の実施の形態と同様に、液晶の応答に伴う画素電圧  $V_{pix}$  の変動を無くすことができるようになり、1フィールド毎に所望の階調を得ることが可能となる。

## 【0367】

また、図56に示した液晶表示装置では、アナログアンプとして動作する第2の p 型 MOS トランジスタ (Q p 2) 5602 のリセットを第2の p 型 MOS トランジスタ (Q p 2) 5602 自身で行う構成となっているため、電源線、リセットスイッチ等の配線、回路が不要となっている。その結果、従来よりも小面積でアナログアンプを構成でき、高開口率化を図るのに顕著な効果が得られる。

## 【0368】

また、リセットパルス電源  $V_{R3704}$  を別途設けているので、第7、第15の実施形態で説明した液晶表示装置に比べて、アンプのリセットに伴う走査パルス信号の遅延を無くすことができるという利点を持っている。

## 【0369】

また、本実施の形態では、画素部が p 型 MOS トランジスタだけで構成されているので、作製プロセスが簡略になるという利点もある。

## 【0370】

また、上記実施の形態では、第1のp型MOS型トランジスタ(Q<sub>p1</sub>)5601、第2、第3のp型MOSトランジスタ(Q<sub>p2</sub>)5602、(Q<sub>p3</sub>)5603は、p-SiTFTで形成すると述べたが、a-SiTFT、CdSeTFT等の他の薄膜トランジスタで形成しても良いし、単結晶シリコントランジスタで形成しても良い。

## 【0371】

以上説明した、第31の実施の形態の液晶表示装置およびその駆動方法を、1フィールド(1フレーム)期間に入射する光の色を切り換えてカラー表示を行う時分割駆動方式の液晶表示装置に適用したところ、色再現性の良い、高階調表示を実現することができた。これは、本発明の液晶表示装置が、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド(1フレーム)期間内に応答するOCBモード液晶のような高速液晶を駆動した場合においても、液晶の応答に伴う画素電圧の変動が発生せず、1フィールド(1フレーム)期間毎に所望の階調表示を行うことができるという特徴によるものである。この際、液晶材料として、無関反強誘電性液晶を用いた。

## 【0372】

次に本発明の第32の実施の形態について図面を参照して詳細に説明する。図57は、本発明の液晶表示装置の第32の実施の形態を示す図である。図に示すように、本発明の液晶表示装置は、ゲート電極が走査線101に接続され、ソース電極及びドレイン電極の一方が信号線102に接続された第1のp型MOS型トランジスタ(Q<sub>p1</sub>)5601と、ゲート電極がその第1のp型MOSトランジスタ(Q<sub>p1</sub>)5601のソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセットパルス電源VR3704に接続され、ソース電極及びドレイン電極の他方が画素電極107に接続された第2のp型MOSトランジスタ(Q<sub>p2</sub>)5602と、その第2のp型MOSトランジスタ(Q<sub>p2</sub>)5602のゲート電極と電圧保持容量電極105との間に形成された電圧保持容量106と、ゲート電極が電圧保持容量電極105に接続され、ソース電極がソース電源VS5701に接続され、ドレイン電極が画素電極107に

接続された第3のp型MOSトランジスタ(Qp3)5603と、画素電極107と対向電極108との間でスイッチングさせる液晶109とで構成されている。ここで、第1のp型MOS型トランジスタ(Qp1)5601、および第2、第3のp型MOSトランジスタ(Qp2)5602、(Qp3)5603は、p-SiTFTで構成されている。

#### 【0373】

また、第3のp型MOSトランジスタ(Qp3)5603のソース電極に供給するソース電源VS5701は、第3のp型MOSトランジスタ(Qp3)5603のソースドレイン間抵抗Rdspが、液晶の応答時定数を決めている抵抗成分の値以下となるように設定されている。すなわち、図60、図62に示した液晶等価回路における抵抗Rr、Rspと、ソース・ドレイン間抵抗Rdspは、前述の式(3)に示された関係となっており、たとえば、抵抗Rspが5GΩである場合には、ソース・ドレイン間抵抗Rdspが1GΩを越えないようなソース電源VS5701が供給される。第3のp型MOSトランジスタ(Qp3)5603の動作点は、前述の図11に示した動作点と同様である。すなわち、図11の例では、第3のp型MOSトランジスタ(Qp3)5603のゲート・ソース間電圧(VCH-VS)を-3V程度に設定している。その結果、第3のp型MOSトランジスタ(Qp3)5603のドレイン電流はおよそ1E-8(A)となり、ソース・ドレイン間電圧Vdspが-10Vの時、ソース・ドレイン間抵抗Rdspは1GΩとなる。また、第3のp型MOSトランジスタ(Qp3)5603は、弱反転領域で動作しており、ソース・ドレイン間電圧Vdspが-2~-14Vと変化しても、ドレイン電流はほぼ一定である。第3のp型MOSトランジスタ(Qp3)5603は、第2のp型MOSトランジスタ(Qp2)5602をアナログアンプとして動作させる場合の、バイアス電流源として動作している。

#### 【0374】

以上説明した、図57に示す第32の実施の形態の液晶表示装置の駆動方法は、先に説明した第30、第31の実施の形態の液晶表示装置の駆動方法と同様である。すなわち、分極を有する強誘電性液晶、反強誘電性液晶、および1フィー



ルド期間内に応答するOCBモード液晶のような高速液晶を駆動した場合には、画素電圧 $V_{pix}$ 、液晶光透過率は図54、図55に示したものと同様である。また、図57に示した液晶表示装置を用いてTN液晶を駆動する場合についても、図54、図55に示した駆動方法と同様にして駆動することができる。

## 【0375】

すなわち、図57に示した液晶表示装置を用いれば、第30、第31の実施の形態と同様に、液晶の応答に伴う画素電圧 $V_{pix}$ の変動を無くすることができるようになり、1フィールド毎に所望の階調を得ることが可能となる。

## 【0376】

また、図57に示した液晶表示装置では、アナログアンプとして動作する第2のp型MOSトランジスタ( $Q_{p2}$ )5602のリセットを第2のp型MOSトランジスタ( $Q_{p2}$ )5602自身で行う構成となっているため、電源線、リセットスイッチ等の配線、回路が不要となっている。その結果、従来よりも小面積でアナログアンプを構成でき、高開口率化を図るのに顕著な効果が得られる。

## 【0377】

また、リセットパルス電源VRを別途設けているので、第8、第16の実施形態で説明した液晶表示装置に比べて、アンプのリセットに伴う走査パルス信号の遅延を無くすることができるという利点を持っている。

## 【0378】

また、本実施の形態では、画素部がp型MOSトランジスタだけで構成されているので、作製プロセスが簡略になるという利点もある。

## 【0379】

また、上記実施の形態では、第1のp型MOS型トランジスタ( $Q_{p1}$ )5601、第2、第3のp型MOSトランジスタ( $Q_{p2}$ )5602、( $Q_{p3}$ )5603は、p-SiTFTで形成すると述べたが、a-SiTFT、CdSeTFT等の他の薄膜トランジスタで形成しても良いし、単結晶シリコントランジスタで形成しても良い。

## 【0380】

以上説明した、第32の実施の形態の液晶表示装置およびその駆動方法を、1

フィールド（1フレーム）期間に入射する光の色を切り換えてカラー表示を行う時分割駆動方式の液晶表示装置に適用したところ、色再現性の良い、高階調表示を実現することができた。これは、本発明の液晶表示装置が、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド（1フレーム）期間内に応答するOCBモード液晶のような高速液晶を駆動した場合においても、液晶の応答に伴う画素電圧の変動が発生せず、1フィールド（1フレーム）期間毎に所望の階調表示を行うことができるという特徴によるものである。この際、液晶材料として、無関反強誘電性液晶を用いた。

## 【0381】

次に本発明の第33の実施の形態について図面を参照して詳細に説明する。図58は、本発明の液晶表示装置の第33の実施の形態を示す図である。図に示すように、本発明の液晶表示装置は、ゲート電極が走査線101に接続され、ソース電極及びドレイン電極の一方が信号線102に接続された第1のp型MOS型トランジスタ（ $Q_{p1}$ ）5601と、ゲート電極がその第1のp型MOS型トランジスタ（ $Q_{p1}$ ）5601のソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方がリセットパルス電源VR3704に接続され、ソース電極及びドレイン電極の他方が画素電極107に接続された第2のp型MOS型トランジスタ（ $Q_{p2}$ ）5602と、その第2のp型MOS型トランジスタ（ $Q_{p2}$ ）5602のゲート電極と電圧保持容量電極105との間に形成された電圧保持容量106と、ゲート電極およびソース電極が電圧保持容量電極105に接続され、ドレイン電極が画素電極107に接続された第3のp型MOS型トランジスタ（ $Q_{p3}$ ）5603と、画素電極107と対向電極108との間でスイッチングさせる液晶109とで構成されている。ここで、第1のp型MOS型トランジスタ（ $Q_{p1}$ ）5601、および第2、第3のp型MOS型トランジスタ（ $Q_{p2}$ ）5602、（ $Q_{p3}$ ）5603は、p-SiTFTで構成されている。

## 【0382】

また、第3のp型MOS型トランジスタ（ $Q_{p3}$ ）5603のゲート電極とソース電極はともに電圧保持容量電極105に接続されているため、第3のp型MOS型トランジスタ（ $Q_{p3}$ ）5603のゲート・ソース間電圧 $V_{gs p}$ は0Vとな

る。このバイアス条件下で、第3のp型MOSトランジスタ ( $Q_{p3}$ ) 5603のソース・ドレイン間抵抗  $R_{ds p}$  が前述の式 (3) を満たすように、第3のp型MOSトランジスタ ( $Q_{p3}$ ) 5603の閾値電圧をチャネル・ドーズにより正側にシフト制御している。その時の、第3のp型MOSトランジスタ ( $Q_{p3}$ ) 5603のドレイン電流・ゲート電圧特性と動作点は、図14に示したものと同様である。すなわち、図14に示すように、ゲート・ソース間電圧が0Vの時、ドレイン電流が約  $1E-8$  (A) となるように、チャネルドーズにより、閾値電圧が正側にシフト制御されている。その結果、第3のp型MOSトランジスタ ( $Q_{p3}$ ) 5603のドレイン電流はおよそ  $1E-8$  (A) となり、ソース・ドレイン間電圧  $V_{ds p}$  が  $-10$  Vの時、ソース・ドレイン間抵抗  $R_{ds p}$  は  $1G\Omega$  となる。また、第3のp型MOSトランジスタ ( $Q_{p3}$ ) 5603は、弱反転領域で動作しており、ソース・ドレイン間電圧  $V_{ds p}$  が  $-2 \sim -14$  Vと変化しても、ドレイン電流はほぼ一定である。第3のp型MOSトランジスタ ( $Q_{p3}$ ) 5603は、第2のp型MOSトランジスタ ( $Q_{p2}$ ) 5602をアナログアンプとして動作させる場合の、バイアス電流源として動作している。

#### 【0383】

第33の実施の形態では、第31、第32の実施の形態で必要であった、バイアス電源  $V_{B5604}$ 、ソース電源  $V_{S5701}$  が不要となっているが、チャネルドーズ工程が余分に必要となる。

#### 【0384】

以上説明した、図58に示す第33の実施の形態の液晶表示装置の駆動方法は、先に説明した第30～第32の実施の形態の液晶表示装置の駆動方法と同様である。すなわち、分極を有する強誘電性液晶、反強誘電性液晶、および1フィールド期間内に応答するOCBモード液晶のような高速液晶を駆動した場合には、画素電圧  $V_{pix}$ 、液晶光透過率は図54、および図55に示したものと同様である。また、図58に示した液晶表示装置を用いてTN液晶を駆動する場合についても、図54、図55に示した駆動方法と同様にして駆動することができる。

#### 【0385】

すなわち、図58に示した液晶表示装置を用いれば、第30～第32の実施の

形態と同様に、液晶の応答に伴う画素電圧  $V_{pix}$  の変動を無くすることができるようになり、1フィールド毎に所望の階調を得ることが可能となる。

【0386】

また、図58に示した液晶表示装置では、アナログアンプとして動作する第2のp型MOSトランジスタ ( $Q_{p2}$ ) 5602のリセットを第2のp型MOSトランジスタ ( $Q_{p2}$ ) 5602自身で行う構成となっているため、電源線、リセットスイッチ等の配線、回路が不要となっている。その結果、従来よりも小面積でアナログアンプを構成でき、高開口率化を図るのに顕著な効果が得られる。

【0387】

また、リセットパルス電源  $V_R$  を別途設けているので、第9、第17の実施形態で説明した液晶表示装置に比べて、アンプのリセットに伴う走査パルス信号の遅延を無くすることができるという利点を持っている。

【0388】

また、本実施の形態では、画素部がp型MOSトランジスタだけで構成されているので、作製プロセスが簡略になるという利点もある。

【0389】

また、上記実施の形態では、第1のp型MOS型トランジスタ ( $Q_{p1}$ ) 5601、第2、第3のp型MOSトランジスタ ( $Q_{p2}$ ) 5602、( $Q_{p3}$ ) 5603は、p-SiTFTで形成すると述べたが、a-SiTFT、CdSeTFT等の他の薄膜トランジスタで形成しても良いし、単結晶シリコントランジスタで形成しても良い。

【0390】

以上説明した、第33の実施の形態の液晶表示装置およびその駆動方法を、1フィールド (1フレーム) 期間に入射する光の色を切り換えてカラー表示を行う時分割駆動方式の液晶表示装置に適用したところ、色再現性の良い、高階調表示を実現することができた。これは、本発明の液晶表示装置が、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド (1フレーム) 期間内に応答するOCBモード液晶のような高速液晶を駆動した場合においても、液晶の応答に伴う画素電圧の変動が発生せず、1フィールド (1フレーム) 期間毎に所望の階調

表示を行うことができるという特徴によるものである。この際、液晶材料として、無閾反強誘電性液晶を用いた。

#### 【0391】

##### 【発明の効果】

以上説明したように、本発明の液晶表示装置およびその駆動方法を適用することにより、液晶の応答に伴う画素電圧の変動を無くすることができるので、従来よりも正確な階調表示を実現することができるようになる。特に、分極を有する強誘電性液晶、反強誘電性液晶、および1フィールド期間内に応答するOCBモード液晶のような高速液晶に対しても、画素電圧の変動を生じることなく駆動することができる。その結果、1フィールド（フレーム）毎に正確な階調表示を行うことができるようになり、時分割駆動方式の液晶表示装置においても、色再現性の良い、高階調表示を実現することができる。

#### 【0392】

また、本発明の液晶表示装置およびその駆動方法によれば、アナログアンプとして動作するMOS型トランジスタの電源およびリセット電源として走査電圧を利用するとともに、アンプのリセットをMOS型トランジスタ自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路を不要にできるので、従来よりも小面積でアナログアンプを構成でき、高開口率化を図るのに顕著な効果が得られる。

#### 【0393】

また、本発明の液晶表示装置およびその駆動方法によれば、ソースフォロワ型アナログアンプの負荷抵抗、もしくはアクティブ負荷トランジスタの抵抗は、たとえば1G $\Omega$ という大きなものであるので、定常的に流れる消費電流を低く抑えることができる。

#### 【0394】

上記特徴により、小型、軽量、高開口率、高速、高視野、高階調、低消費電力、低価格なプロジェクタ装置、ノートPC、モニタ液晶表示装置を提供することができるようになる。

##### 【図面の簡単な説明】

【図 1】

本発明の液晶表示装置の第 1 の実施の形態を示す図である。

【図 2】

本発明の液晶表示装置の駆動方法を示す図である。

【図 3】

本発明の液晶表示装置の第 2 の実施の形態を示す図である。

【図 4】

本発明の液晶表示装置を構成している抵抗の構造を示す図である。

【図 5】

本発明の液晶表示装置を構成している抵抗の構造を示す図である。

【図 6】

本発明の液晶表示装置を構成している抵抗の構造を示す図である。

【図 7】

本発明の液晶表示装置の駆動方法を示す図である。

【図 8】

本発明の液晶表示装置の駆動方法を示す図である。

【図 9】

本発明の液晶表示装置の駆動方法を示す図である。

【図 10】

本発明の液晶表示装置の第 3 の実施の形態を示す図である。

【図 11】

本発明の液晶表示装置を構成している MOS 型トランジスタの動作点を示す図である。

【図 12】

本発明の液晶表示装置の第 4 の実施の形態を示す図である。

【図 13】

本発明の液晶表示装置の第 5 の実施の形態を示す図である。

【図 14】

本発明の液晶表示装置を構成している MOS 型トランジスタの動作点を示す図

である。

【図 15】

本発明の液晶表示装置の第 6 の実施の形態を示す図である。

【図 16】

本発明の液晶表示装置を構成している抵抗の構造を示す図である。

【図 17】

本発明の液晶表示装置を構成している抵抗の構造を示す図である。

【図 18】

本発明の液晶表示装置を構成している抵抗の構造を示す図である。

【図 19】

本発明の液晶表示装置の駆動方法を示す図である。

【図 20】

本発明の液晶表示装置の駆動方法を示す図である。

【図 21】

本発明の液晶表示装置の駆動方法を示す図である。

【図 22】

本発明の液晶表示装置の第 7 の実施の形態を示す図である。

【図 23】

本発明の液晶表示装置を構成している MOS 型トランジスタの動作点を示す図である。

【図 24】

本発明の液晶表示装置の第 8 の実施の形態を示す図である。

【図 25】

本発明の液晶表示装置の第 9 の実施の形態を示す図である。

【図 26】

本発明の液晶表示装置を構成している MOS 型トランジスタの動作点を示す図である。

【図 27】

本発明の液晶表示装置の第 10 の実施の形態を示す図である。

【図 28】

本発明の液晶表示装置の駆動方法を示す図である。

【図 29】

本発明の液晶表示装置の第 1.1 の実施の形態を示す図である。

【図 30】

本発明の液晶表示装置の第 1.2 の実施の形態を示す図である。

【図 31】

本発明の液晶表示装置の第 1.3 の実施の形態を示す図である。

【図 32】

本発明の液晶表示装置の第 1.4 の実施の形態を示す図である。

【図 33】

本発明の液晶表示装置の駆動方法を示す図である。

【図 34】

本発明の液晶表示装置の第 1.5 の実施の形態を示す図である。

【図 35】

本発明の液晶表示装置の第 1.6 の実施の形態を示す図である。

【図 36】

本発明の液晶表示装置の第 1.7 の実施の形態を示す図である。

【図 37】

本発明の液晶表示装置の第 1.8 の実施の形態を示す図である。

【図 38】

本発明の液晶表示装置の駆動方法を示す図である。

【図 39】

本発明の液晶表示装置の第 1.9 の実施の形態を示す図である。

【図 40】

本発明の液晶表示装置の第 2.0 の実施の形態を示す図である。

【図 41】

本発明の液晶表示装置の第 2.1 の実施の形態を示す図である。

【図 42】



本発明の液晶表示装置の第 22 の実施の形態を示す図である。

【図 43】

本発明の液晶表示装置の駆動方法を示す図である。

【図 44】

本発明の液晶表示装置の第 23 の実施の形態を示す図である。

【図 45】

本発明の液晶表示装置の第 24 の実施の形態を示す図である。

【図 46】

本発明の液晶表示装置の第 25 の実施の形態を示す図である。

【図 47】

本発明の液晶表示装置の第 26 の実施の形態を示す図である。

【図 48】

本発明の液晶表示装置の駆動方法を示す図である。

【図 49】

本発明の液晶表示装置の駆動方法を示す図である。

【図 50】

本発明の液晶表示装置の第 27 の実施の形態を示す図である。

【図 51】

本発明の液晶表示装置の第 28 の実施の形態を示す図である。

【図 52】

本発明の液晶表示装置の第 29 の実施の形態を示す図である。

【図 53】

本発明の液晶表示装置の第 30 の実施の形態を示す図である。

【図 54】

本発明の液晶表示装置の駆動方法を示す図である。

【図 55】

本発明の液晶表示装置の駆動方法を示す図である。

【図 56】

本発明の液晶表示装置の第 31 の実施の形態を示す図である。

【図 57】

本発明の液晶表示装置の第 32 の実施の形態を示す図である。

【図 58】

本発明の液晶表示装置の第 33 の実施の形態を示す図である。

【図 59】

従来の液晶表示装置の構成を示す図である。

【図 60】

液晶の等価回路を示す図である。

【図 61】

従来の液晶表示装置の駆動方法を示す図である。

【図 62】

液晶の等価回路を示す図である。

【図 63】

従来の液晶表示装置の駆動方法を示す図である。

【符号の説明】

101 : 走査線

102 : 信号線

103 : MOS 型トランジスタ

104 : アナログアンプ回路

105 : 電圧保持容量電極

106 : 電圧保持容量

107 : 画素電極

108 : 対向電極

109 : 液晶

110 アンプ入力電圧

301 : n 型 MOS トランジスタ

302 : p 型 MOS トランジスタ

303 : 抵抗

401 : ガラス基板

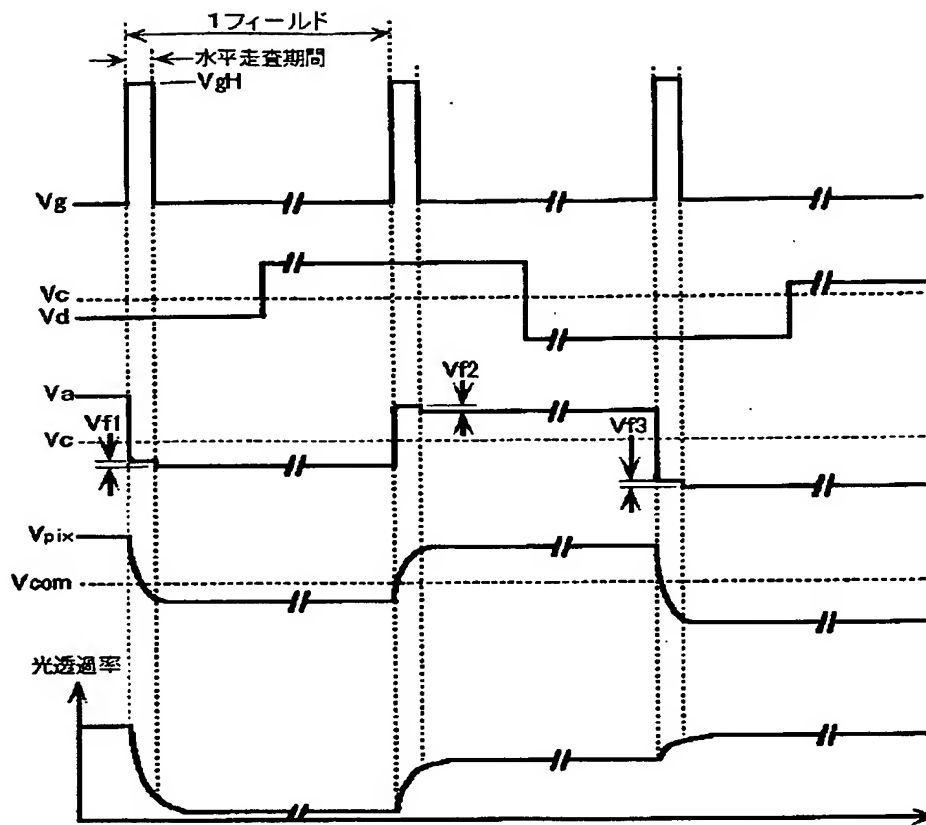
402 : p型ポリシリコン薄膜トランジスタ  
403 : p+層  
404 : p-層  
405 : 第1層間膜  
406 : 金属  
407 : 第2層間膜  
501 : i層  
601 : n+層  
602 : n-層  
1001 : n型MOSトランジスタ  
1002 : 第1のp型MOSトランジスタ  
1003 : 第2のp型MOSトランジスタ  
1004 : バイアス電源  
1201 : ソース電源  
1501 : p型MOSトランジスタ  
1502 : n型MOSトランジスタ  
1503 : 抵抗  
1601 : n型ポリシリコン薄膜トランジスタ  
2201 : p型MOSトランジスタ  
2202 : 第1のn型MOSトランジスタ  
2203 : 第2のn型MOSトランジスタ  
2204 : バイアス電源  
2401 : ソース電源  
2701 : n型MOSトランジスタ  
2702 : p型MOSトランジスタ  
2703 : 抵抗  
2901 : n型MOSトランジスタ  
2902 : 第1のp型MOSトランジスタ  
2903 : 第2のp型MOSトランジスタ

2904 : バイアス電源  
3001 : ソース電源  
3201 : p型MOSトランジスタ  
3202 : n型MOSトランジスタ  
3203 : 抵抗  
3401 : p型MOSトランジスタ  
3402 : 第1のn型MOSトランジスタ  
3403 : 第2のn型MOSトランジスタ  
3404 : バイアス電源  
3501 : ソース電源  
3701 : n型MOSトランジスタ  
3702 : p型MOSトランジスタ  
3703 : 抵抗  
3704 : リセットパルス電圧源  
3901 : n型MOSトランジスタ  
3902 : 第1のp型MOSトランジスタ  
3903 : 第2のp型MOSトランジスタ  
3904 : バイアス電源  
4001 : ソース電源  
4201 : p型MOSトランジスタ  
4202 : n型MOSトランジスタ  
4203 : 抵抗  
4401 : p型MOSトランジスタ  
4402 : 第1のn型MOSトランジスタ  
4403 : 第2のn型MOSトランジスタ  
4404 : バイアス電源  
4501 : ソース電源  
4701 : 第1のn型MOSトランジスタ  
4702 : 第2のn型MOSトランジスタ

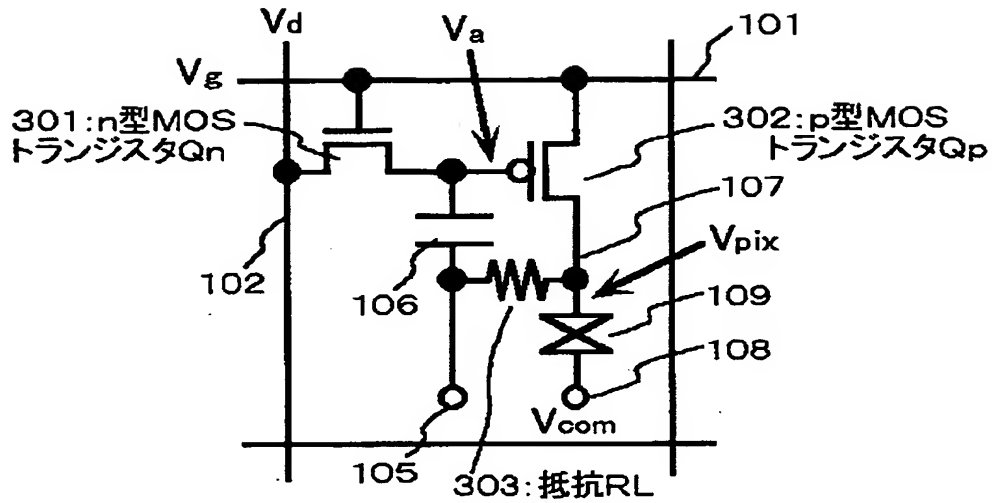
- 4703 : 抵抗
- 5001 : 第1のn型MOSトランジスタ
- 5002 : 第2のn型MOSトランジスタ
- 5003 : 第3のn型MOSトランジスタ
- 5004 : バイアス電源
- 5101 : ソース電源
- 5301 : 第1のp型MOSトランジスタ
- 5302 : 第2のp型MOSトランジスタ
- 5303 : 抵抗
- 5601 : 第1のp型MOSトランジスタ
- 5602 : 第2のp型MOSトランジスタ
- 5603 : 第3のp型MOSトランジスタ
- 5604 : バイアス電源
- 5701 : ソース電源
- 5901 : 走査線
- 5902 : 信号線
- 5903 : 画素電極
- 5904 : n型MOSトランジスタ
- 5905 : 蓄積容量電極
- 5906 : 蓄積容量
- 5907 : 対向電極
- 5908 : 液晶



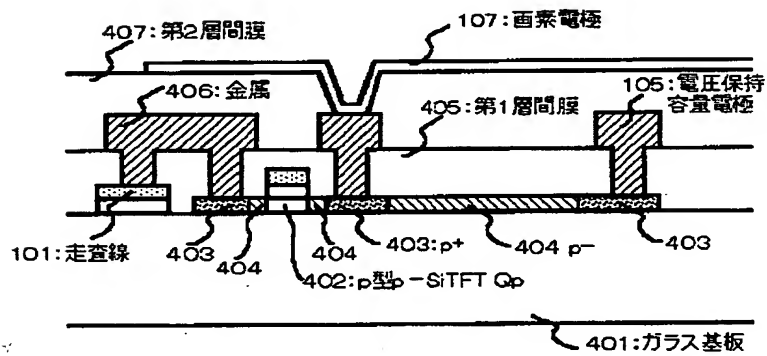
【図 2】



【図 3】

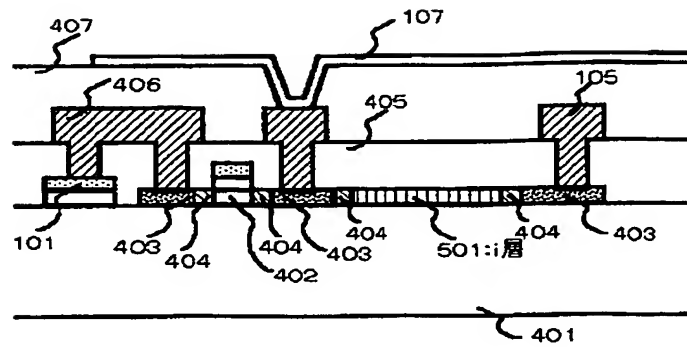


【図 4】

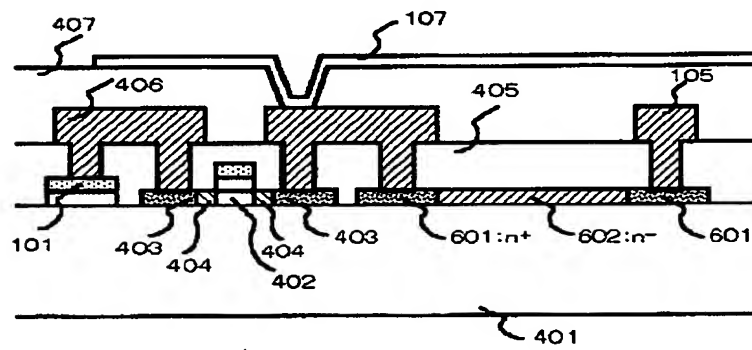




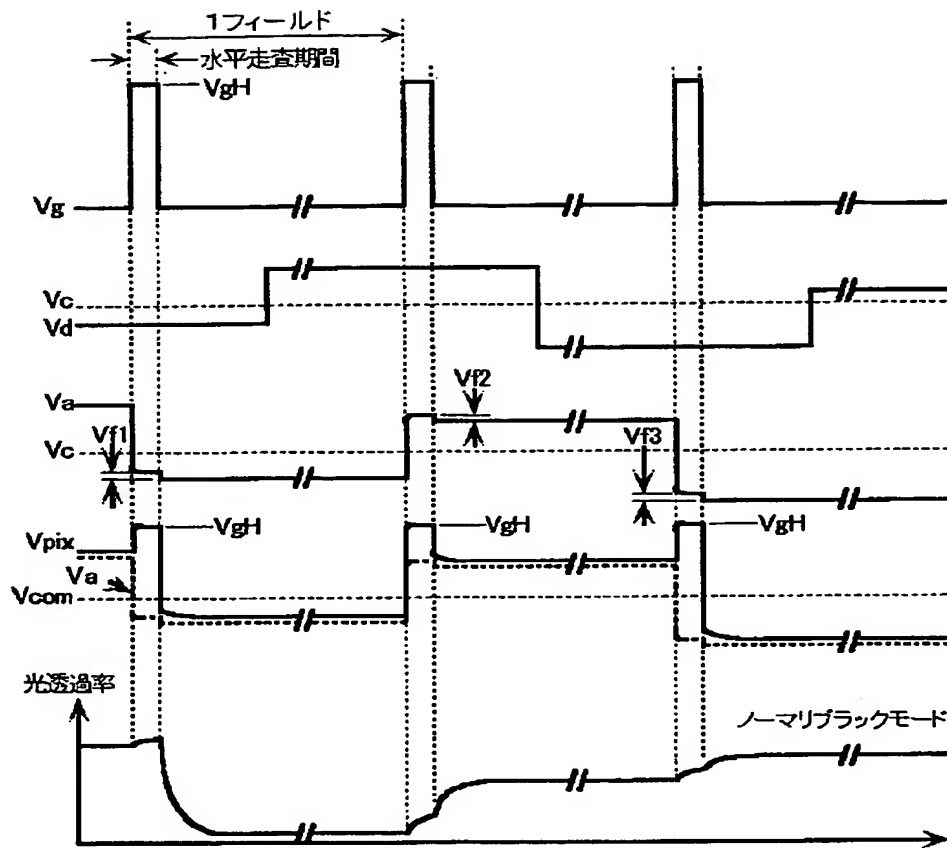
【図 5】



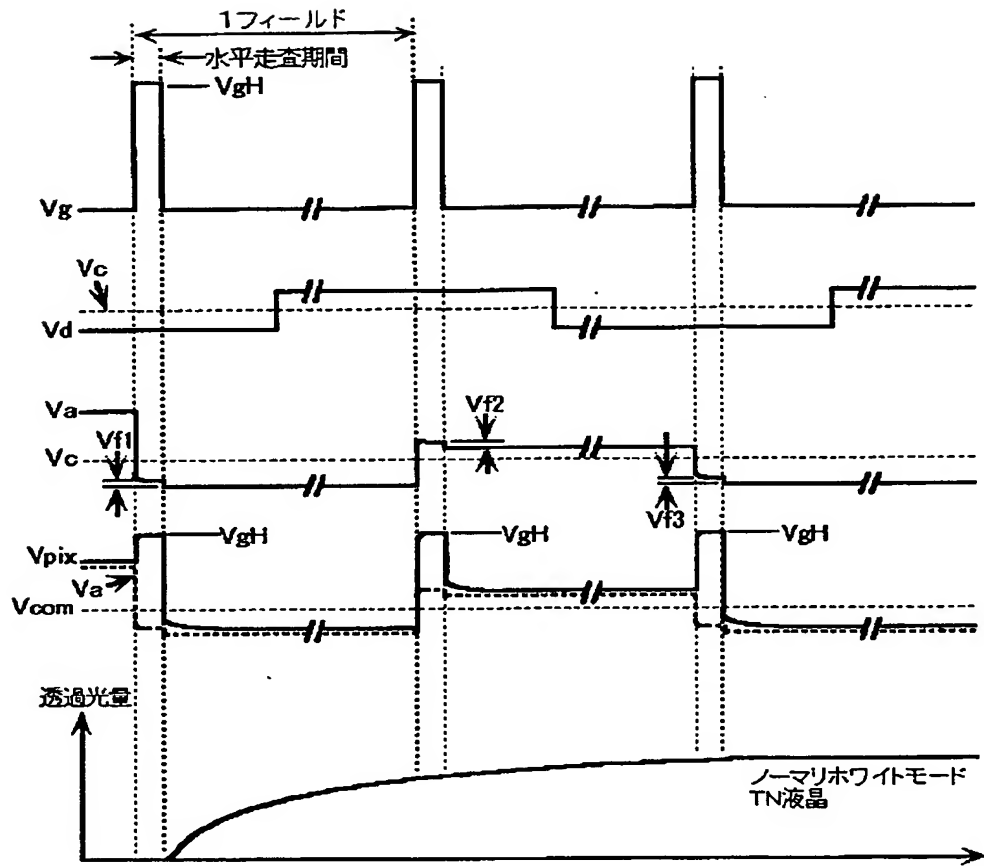
【図 6】



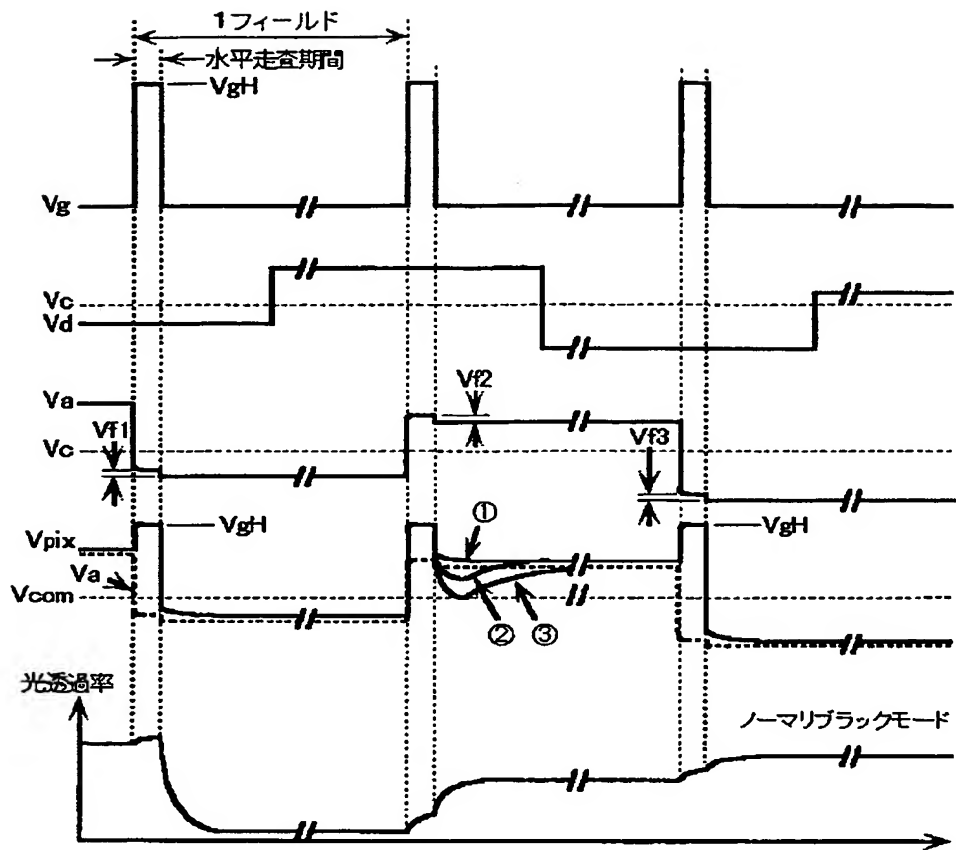
【図 7】



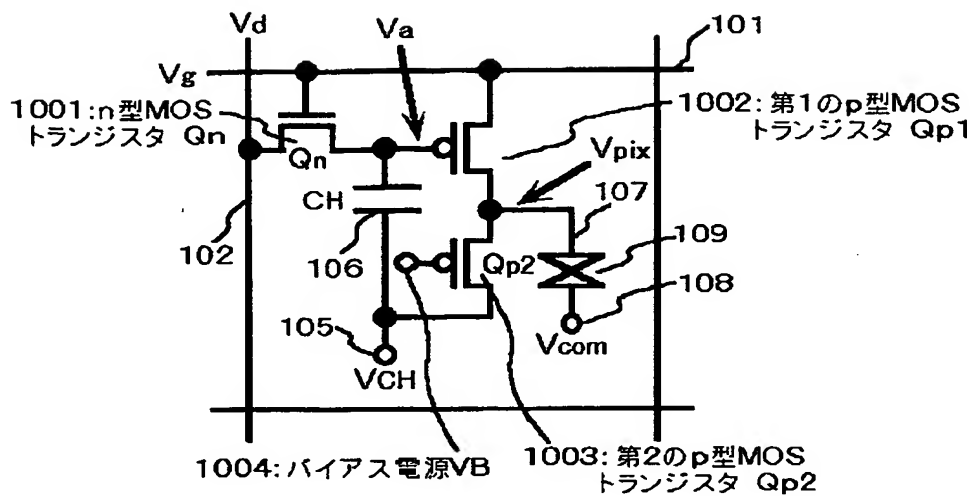
【図 8】



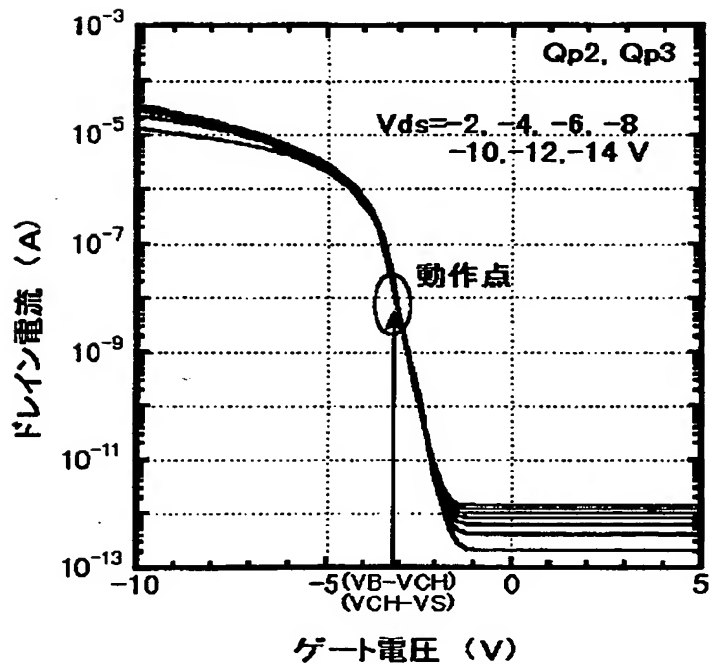
【図 9】



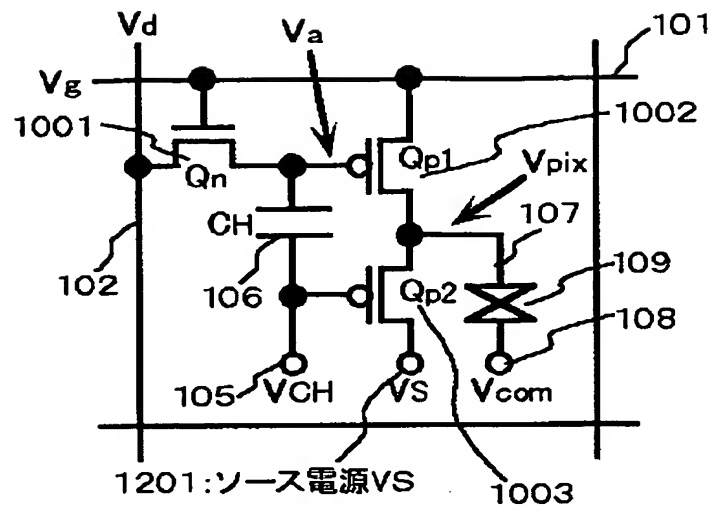
【図 10】



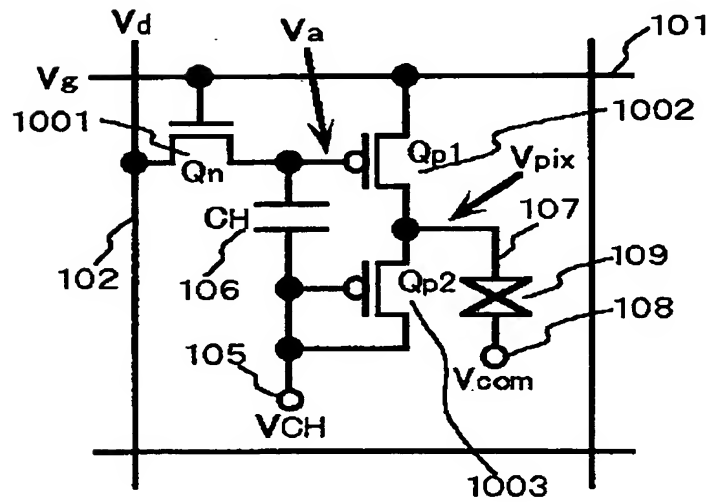
【図 11】



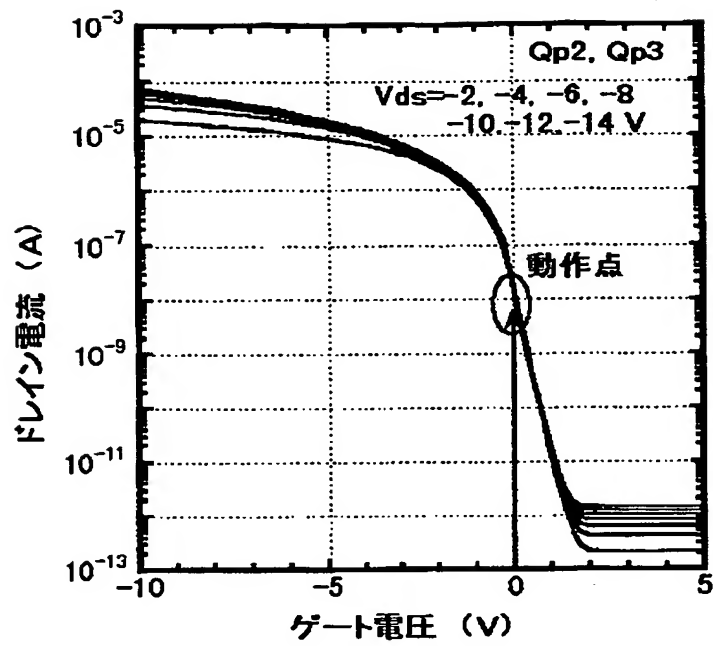
【図 12】



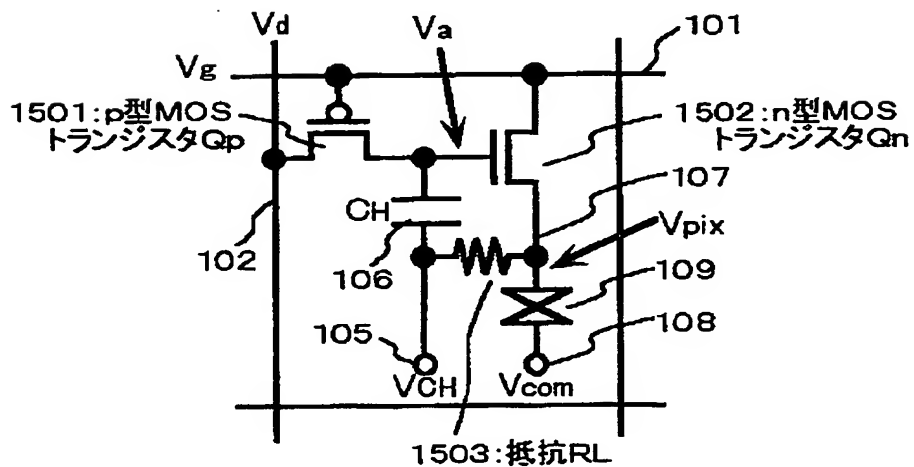
【図 13】



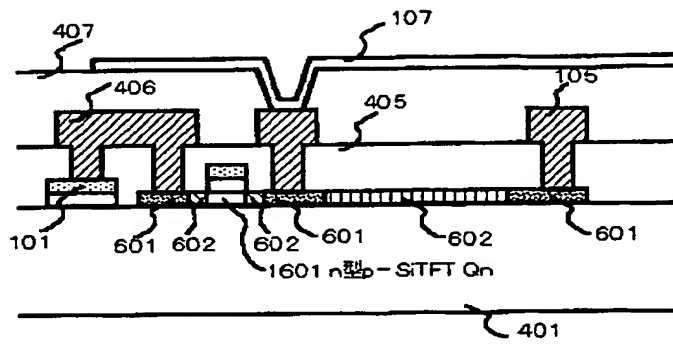
【図14】



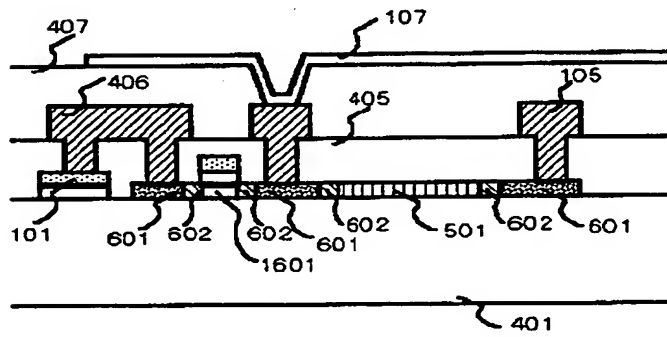
【図15】



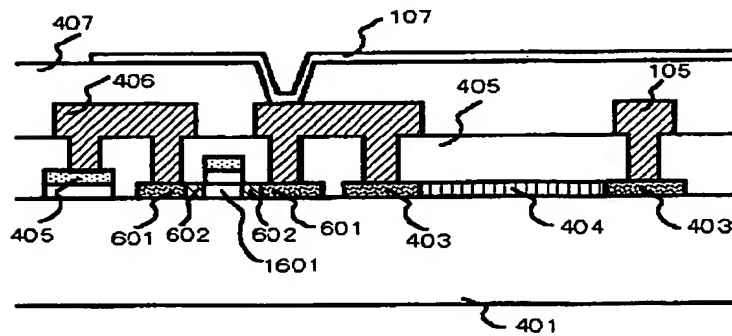
【図 16】



【図 17】

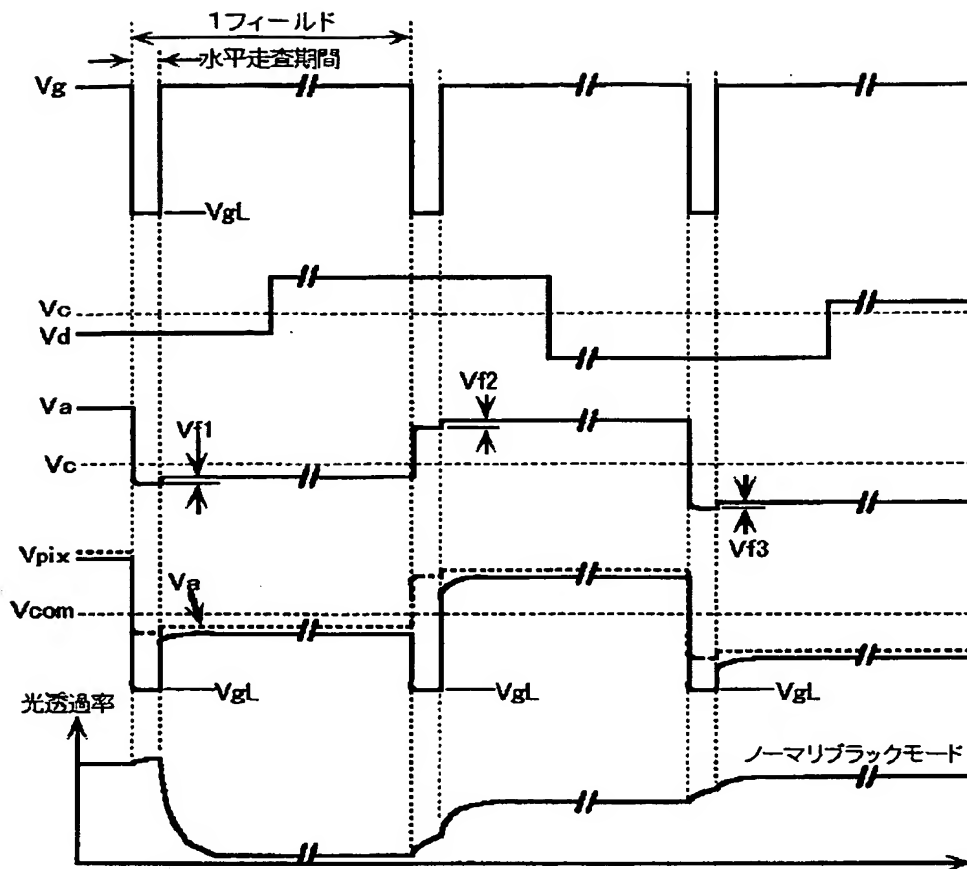


【図 18】

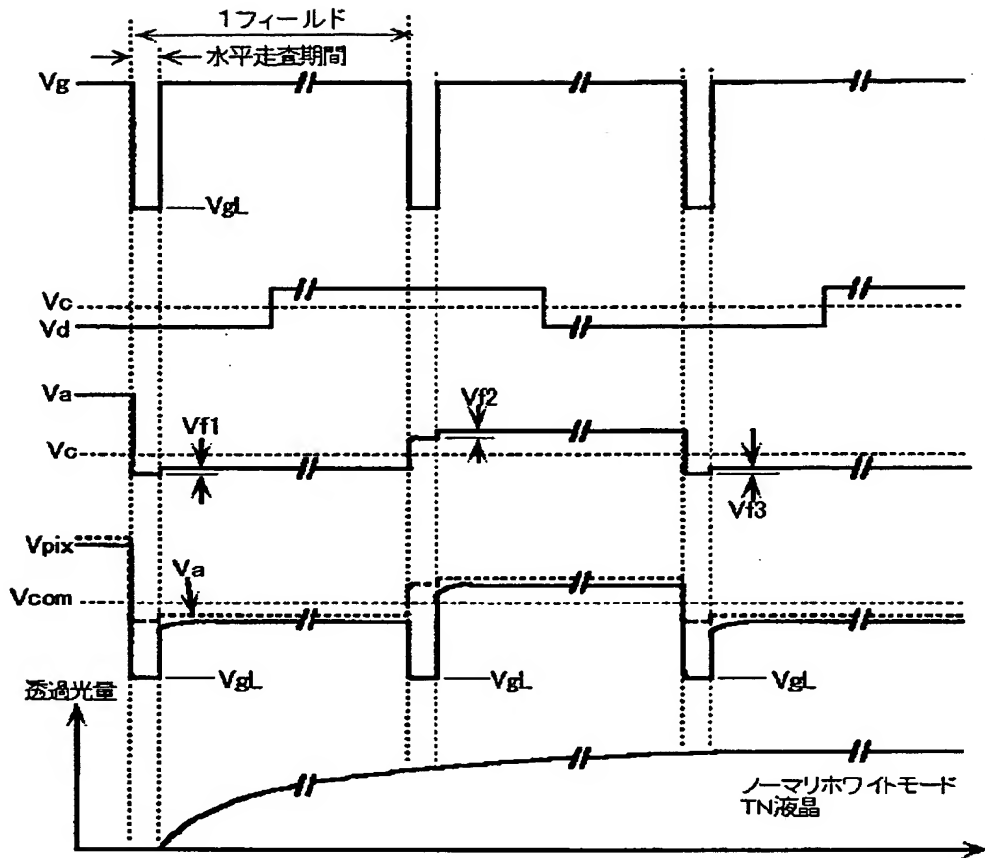




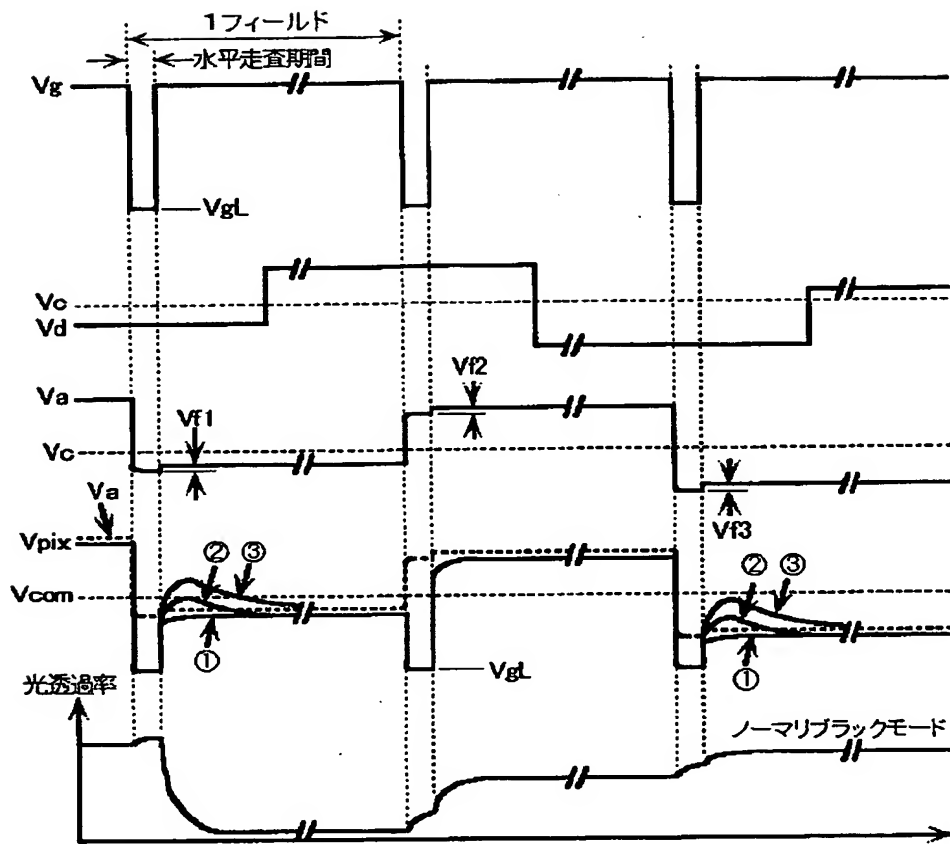
【図 19】



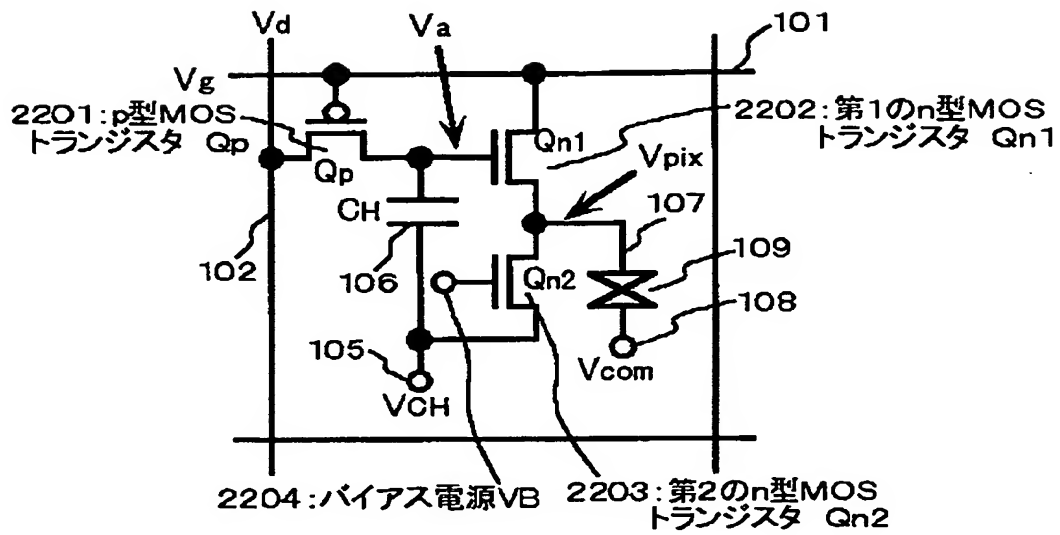
【図 20】



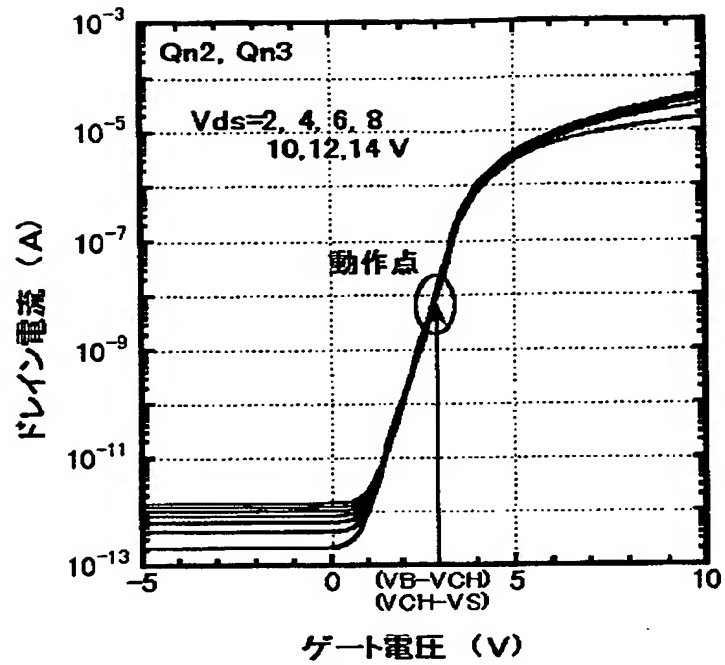
【図 21】



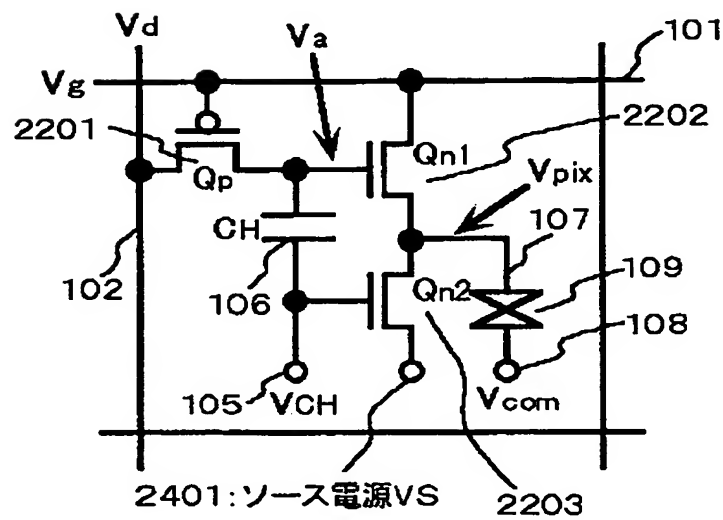
【図 22】



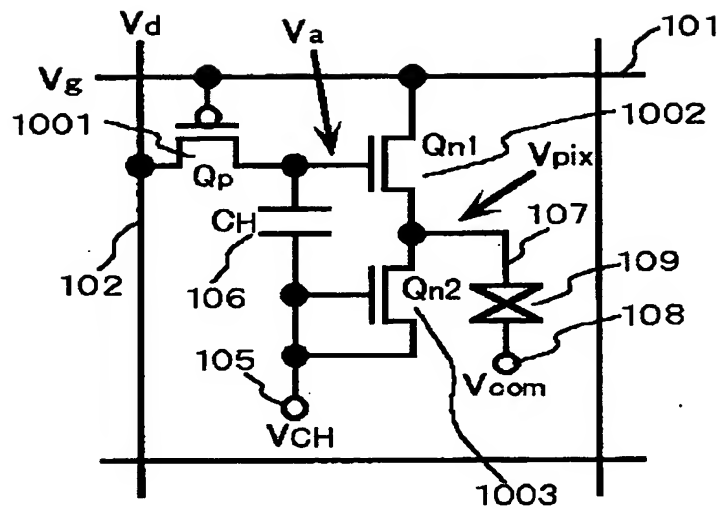
【図 23】



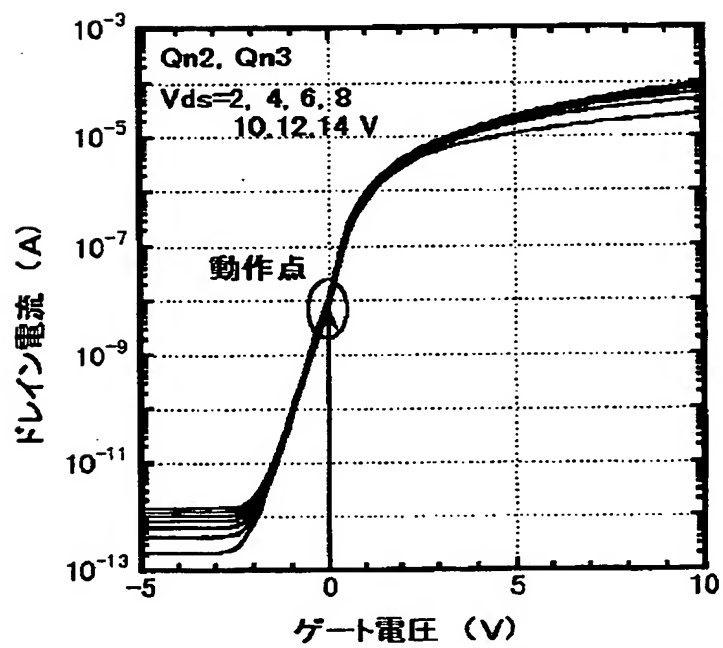
【図 24】



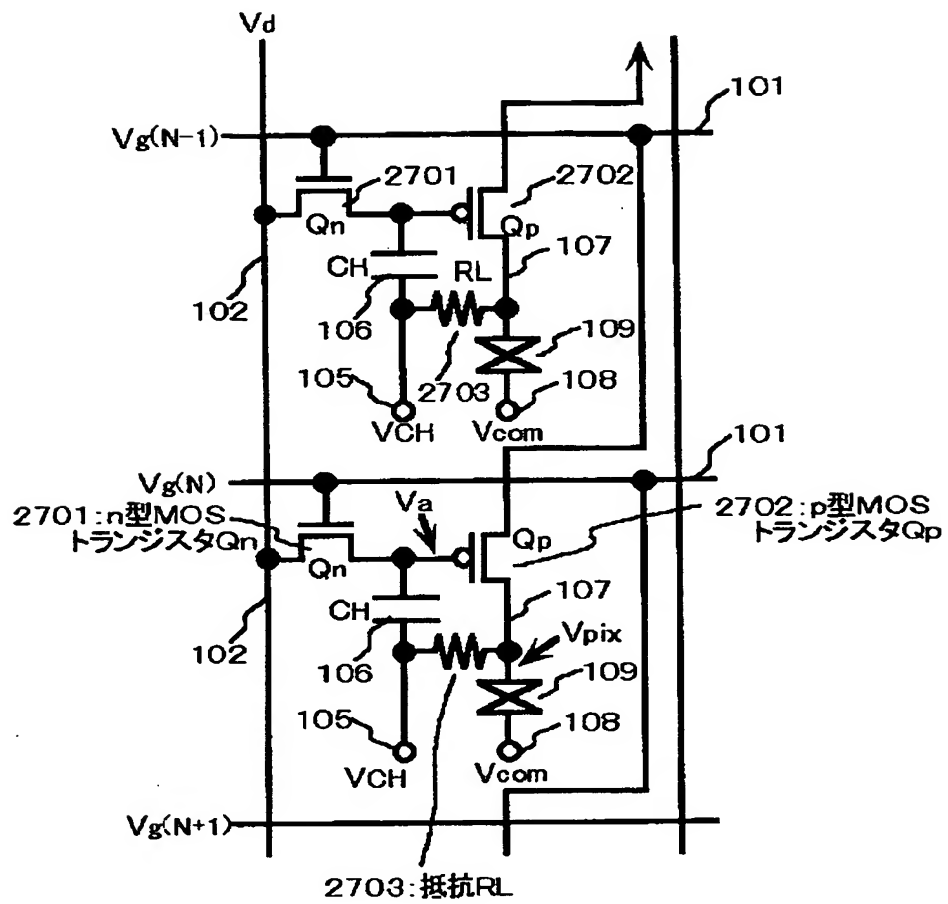
【図 25】



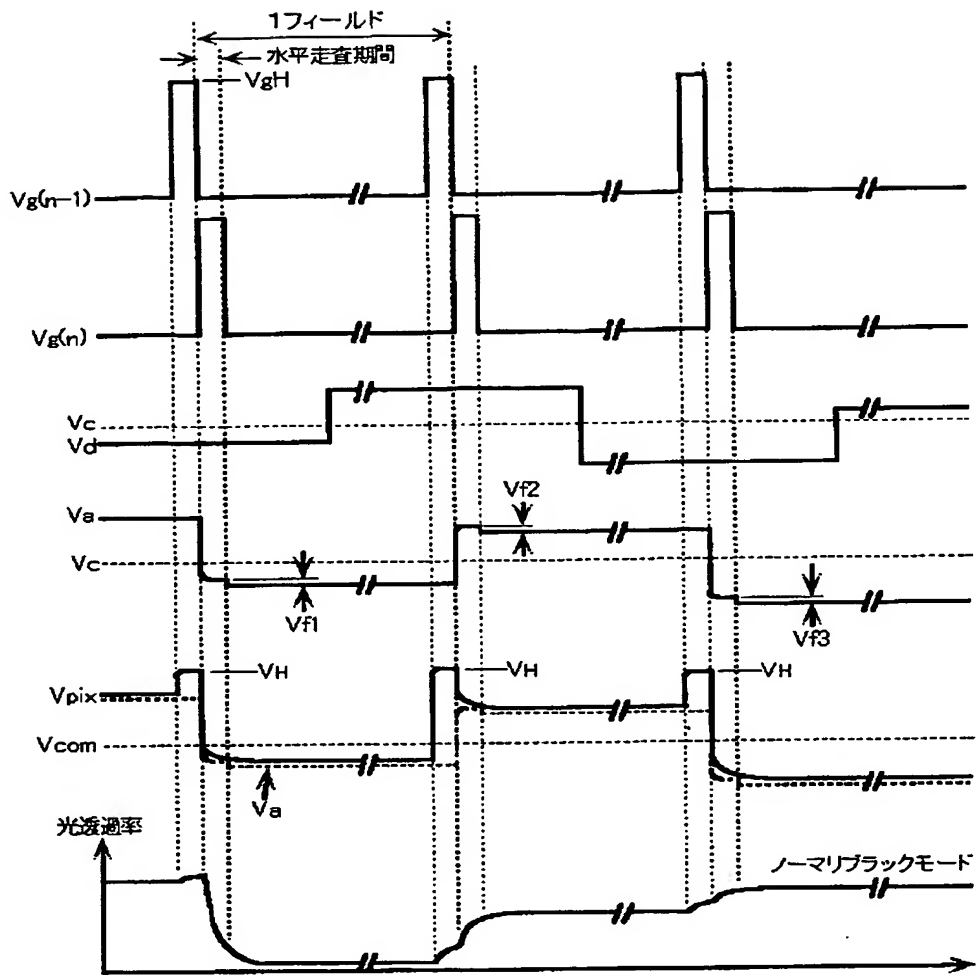
【図 26】



【図27】

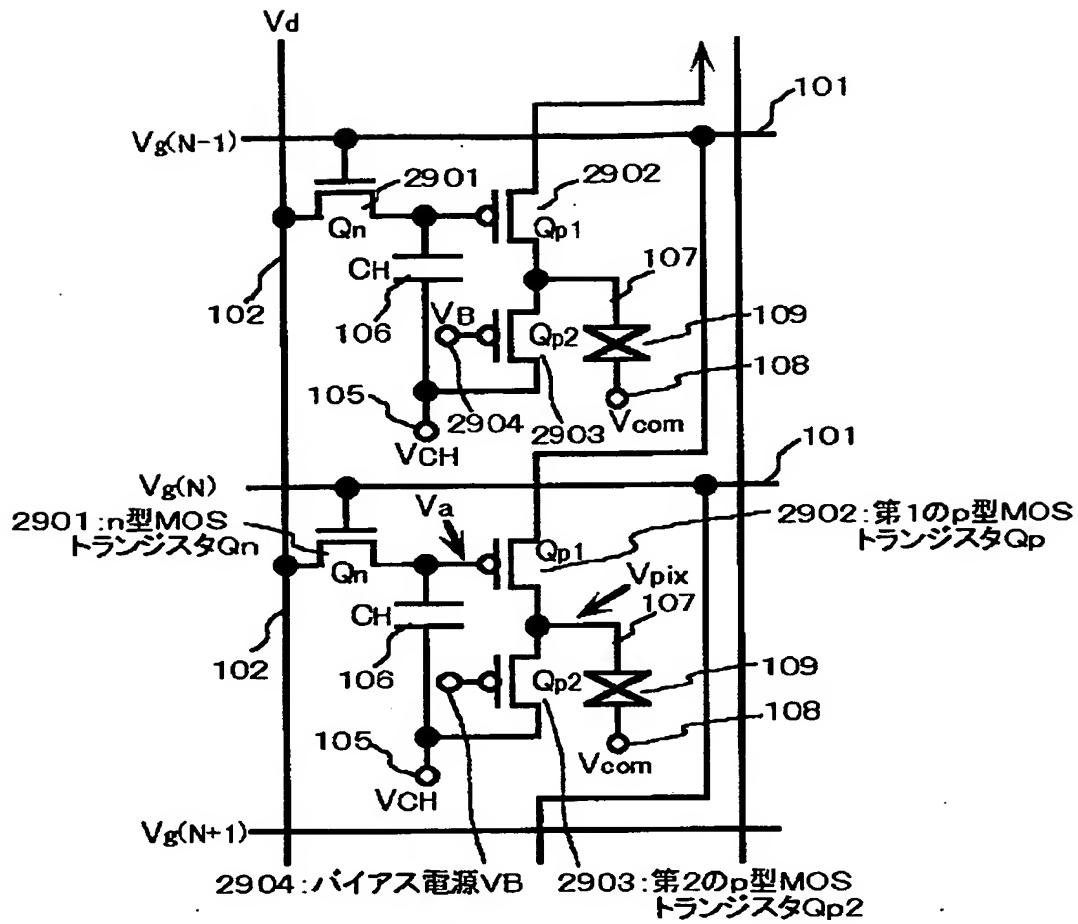


【図28】



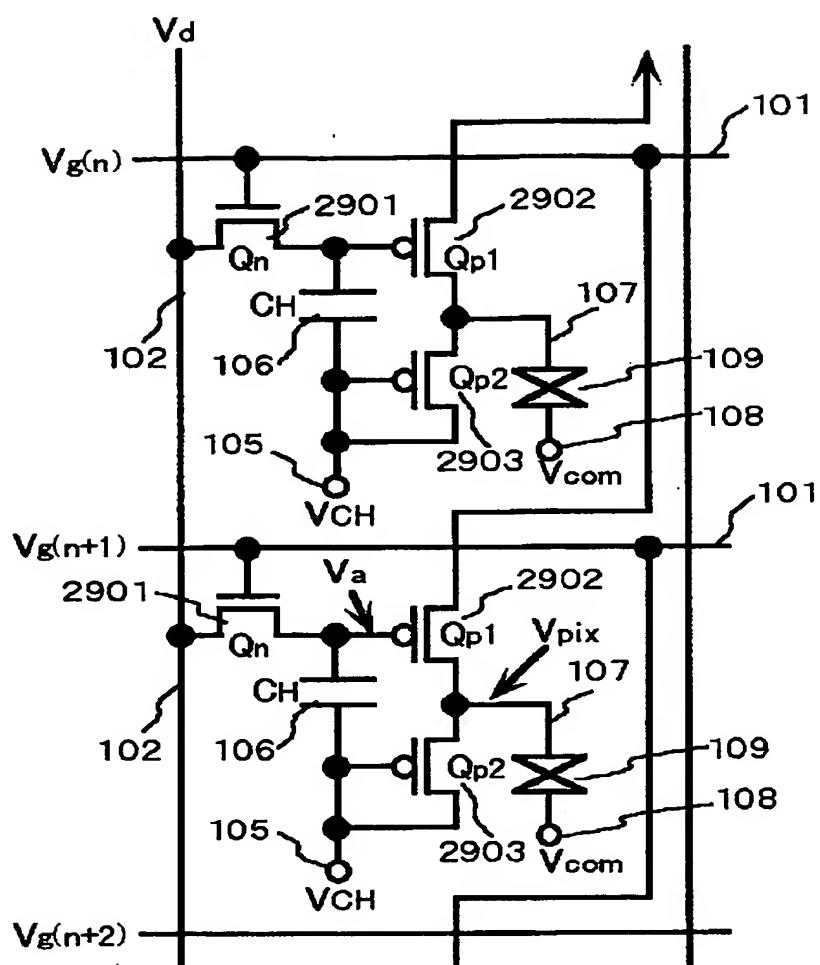


【図 29】

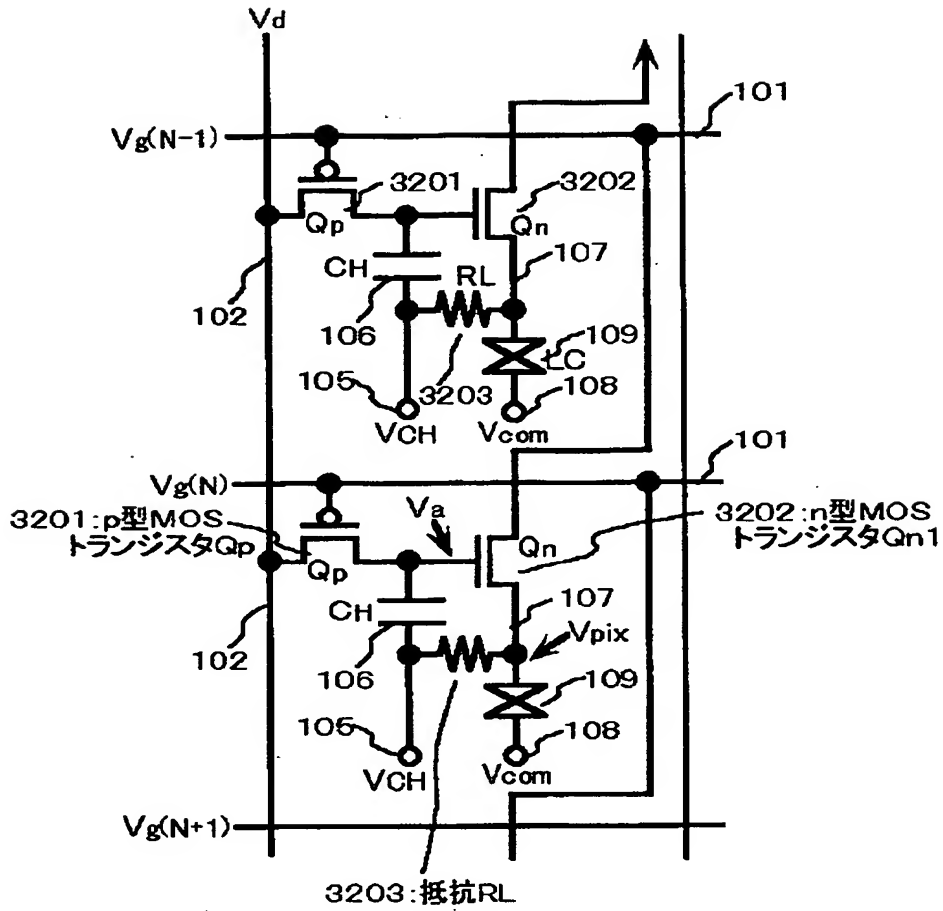




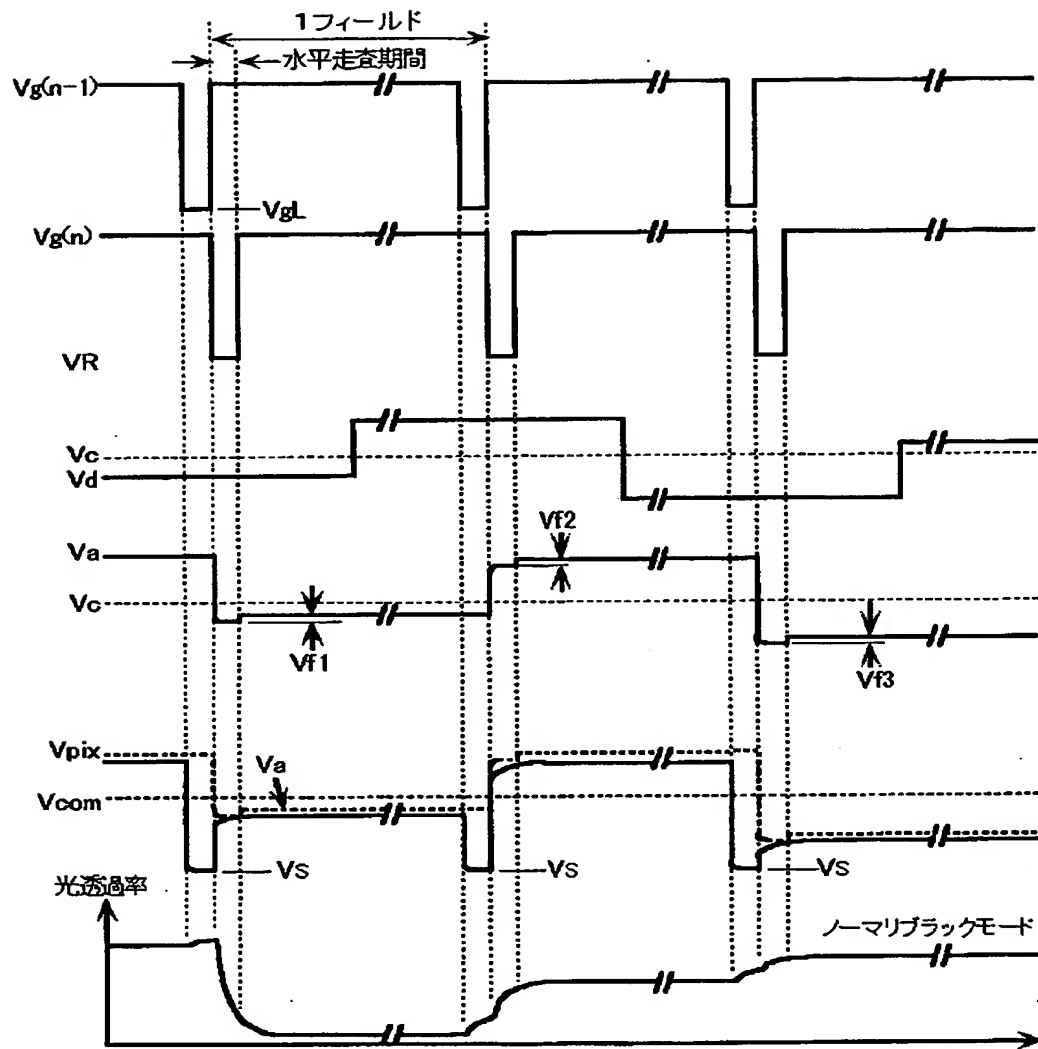
【図 3 1】



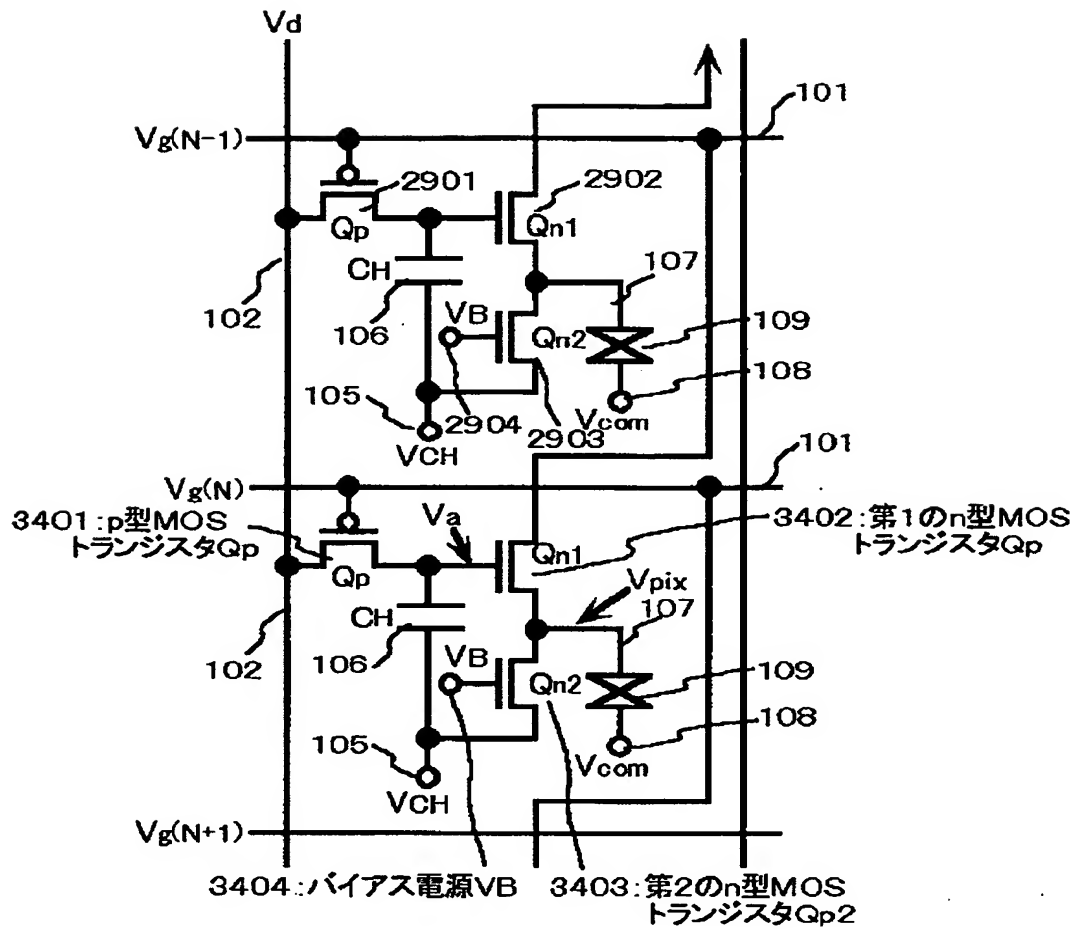
【図 3 2】



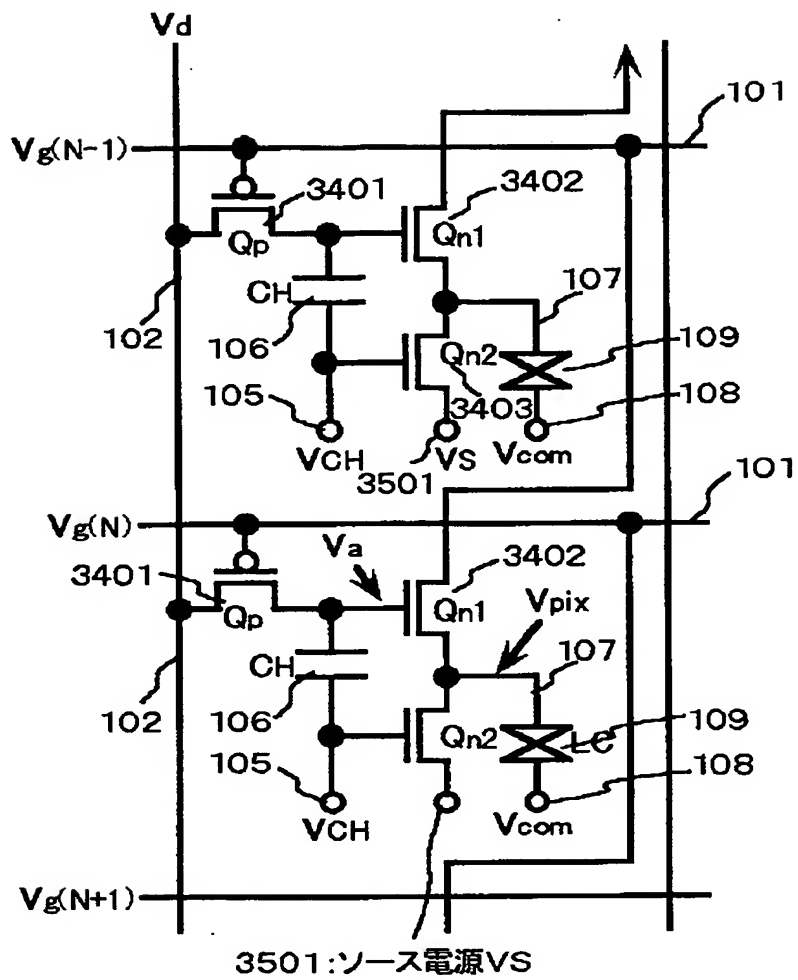
【図 33】



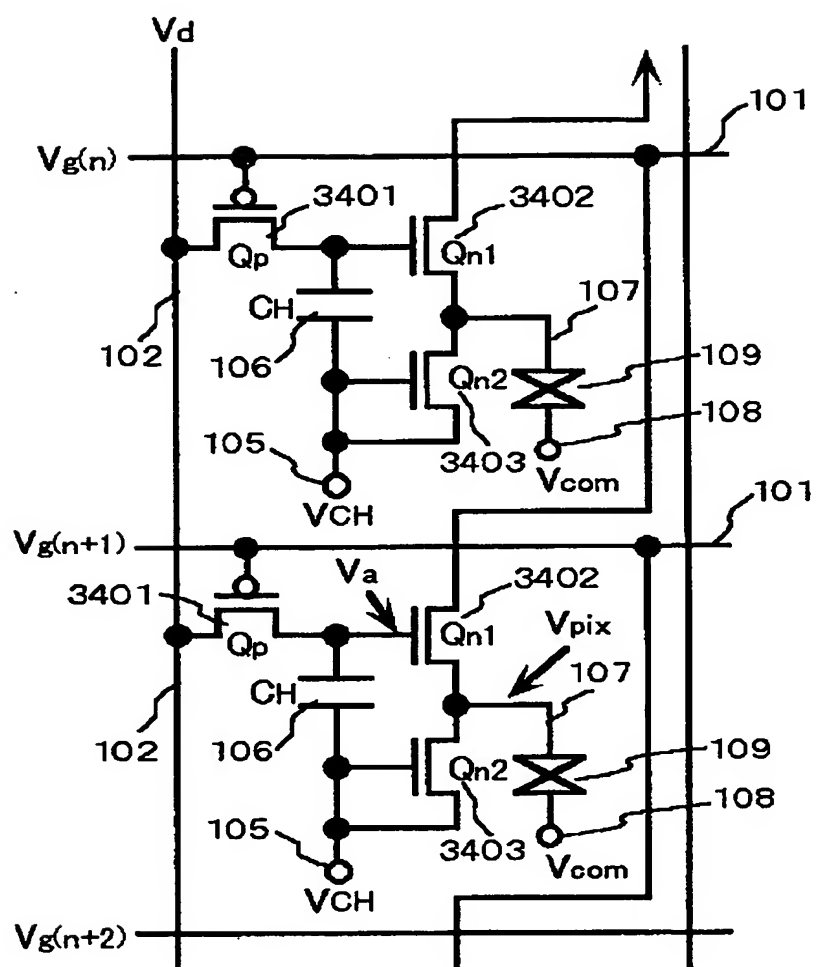
【図 34】



【図35】

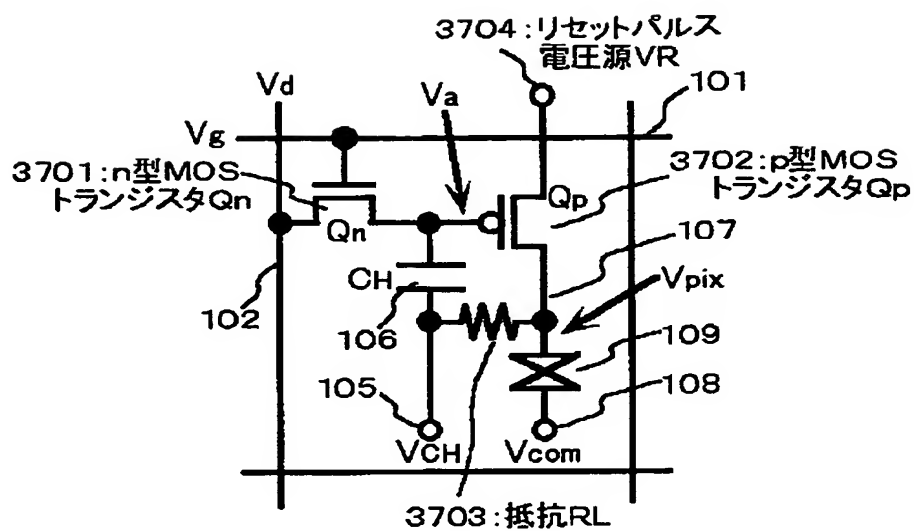


【図 36】

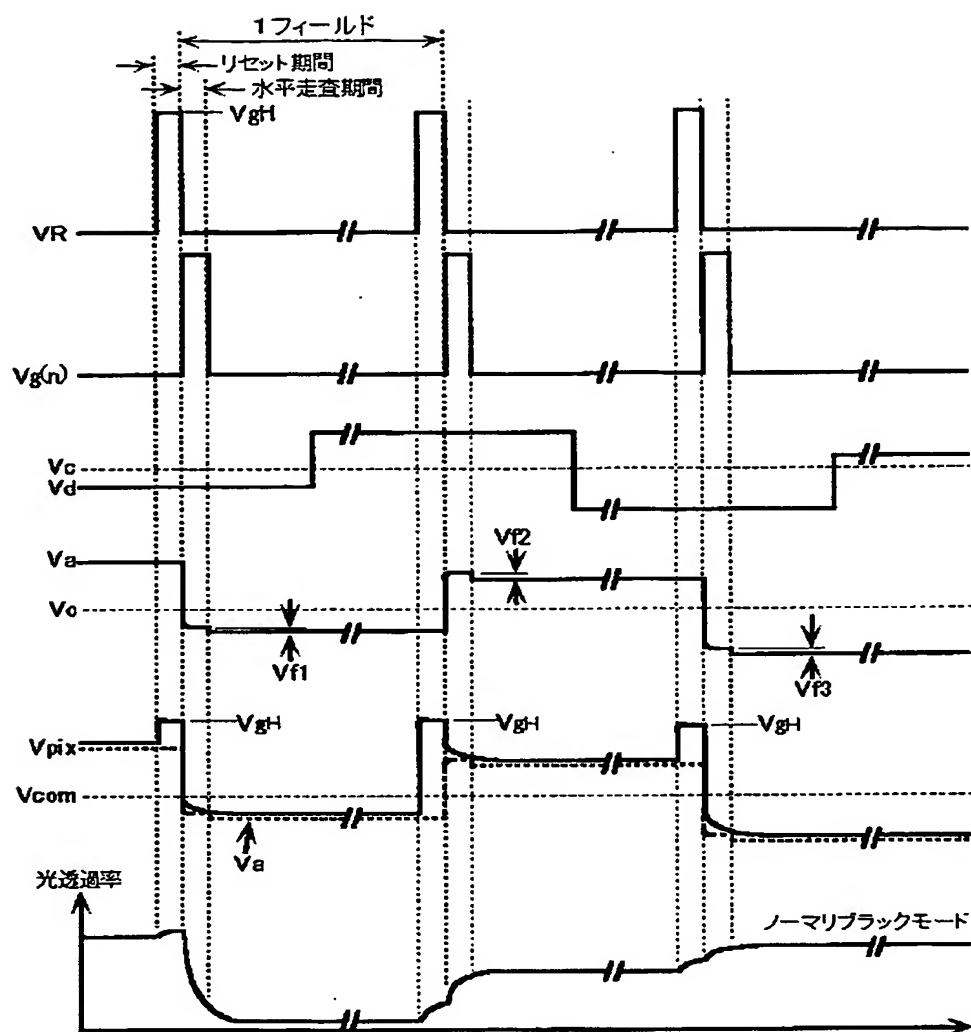




【図 3 7】

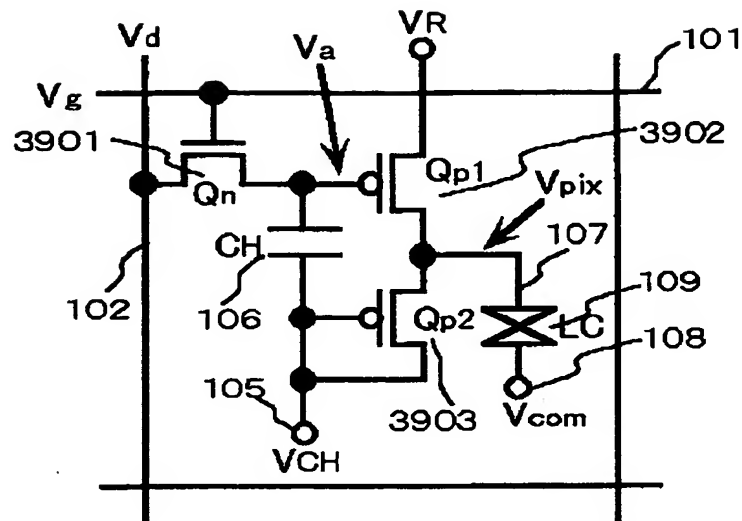


【図38】

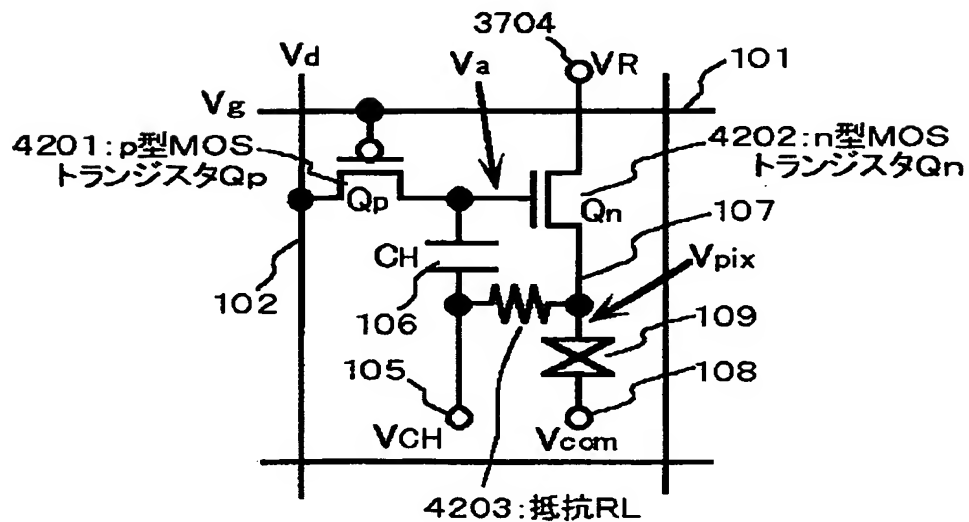




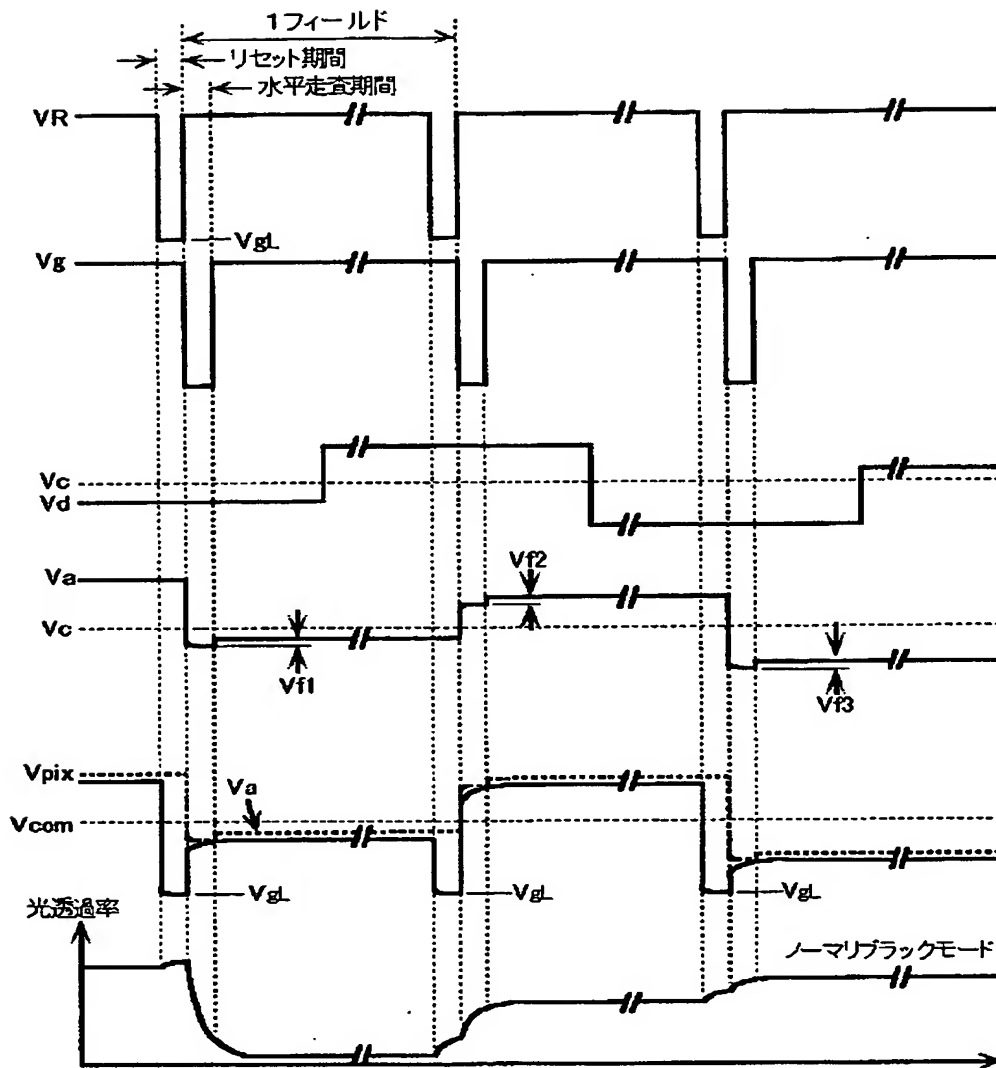
【図41】



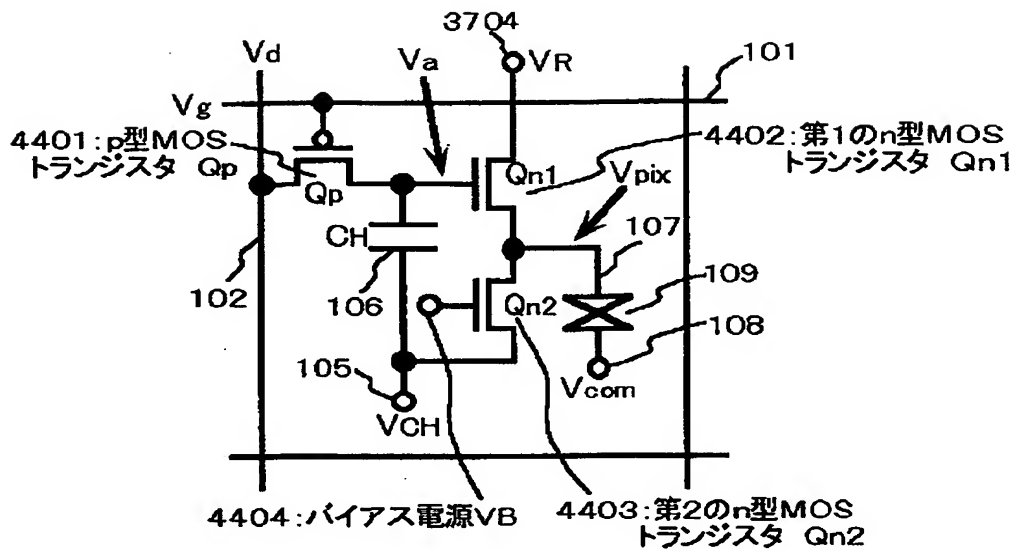
【図42】



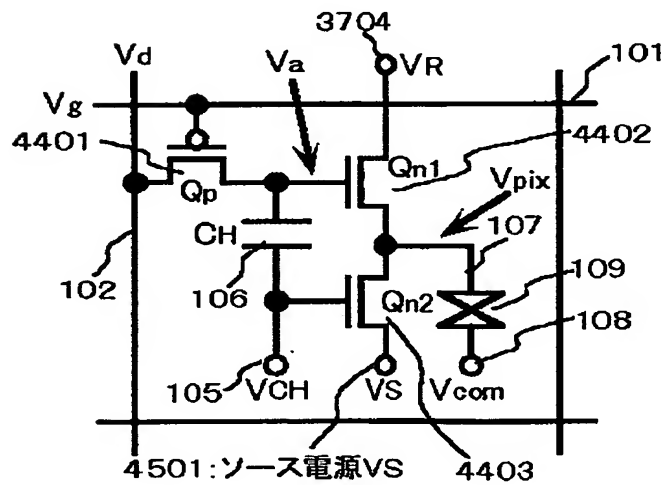
【図 4 3】



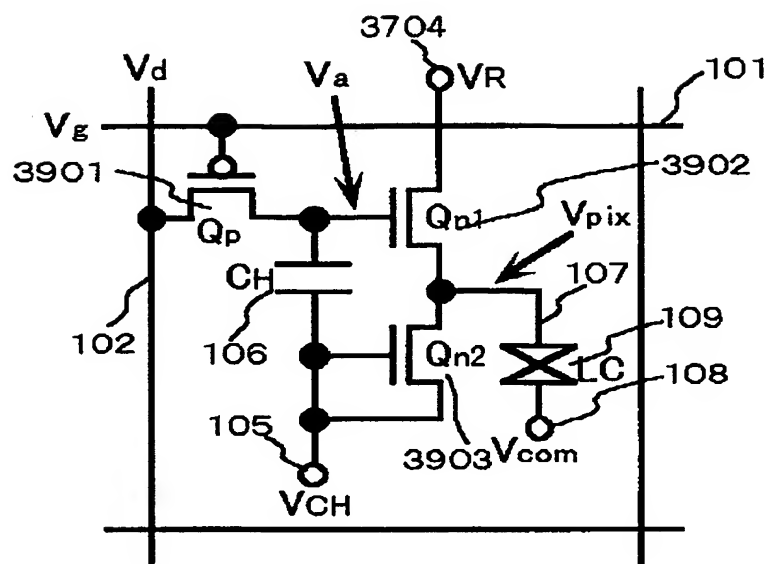
【図44】



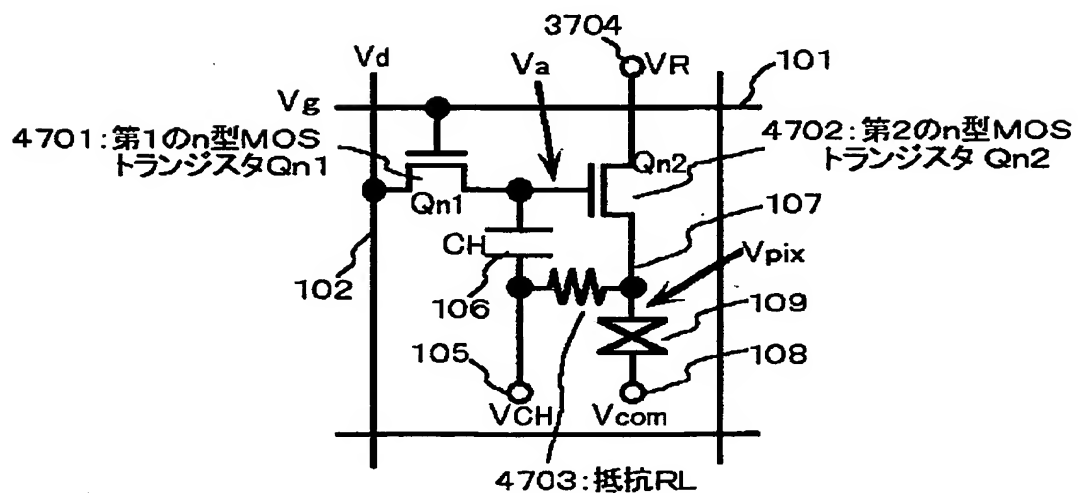
【図45】



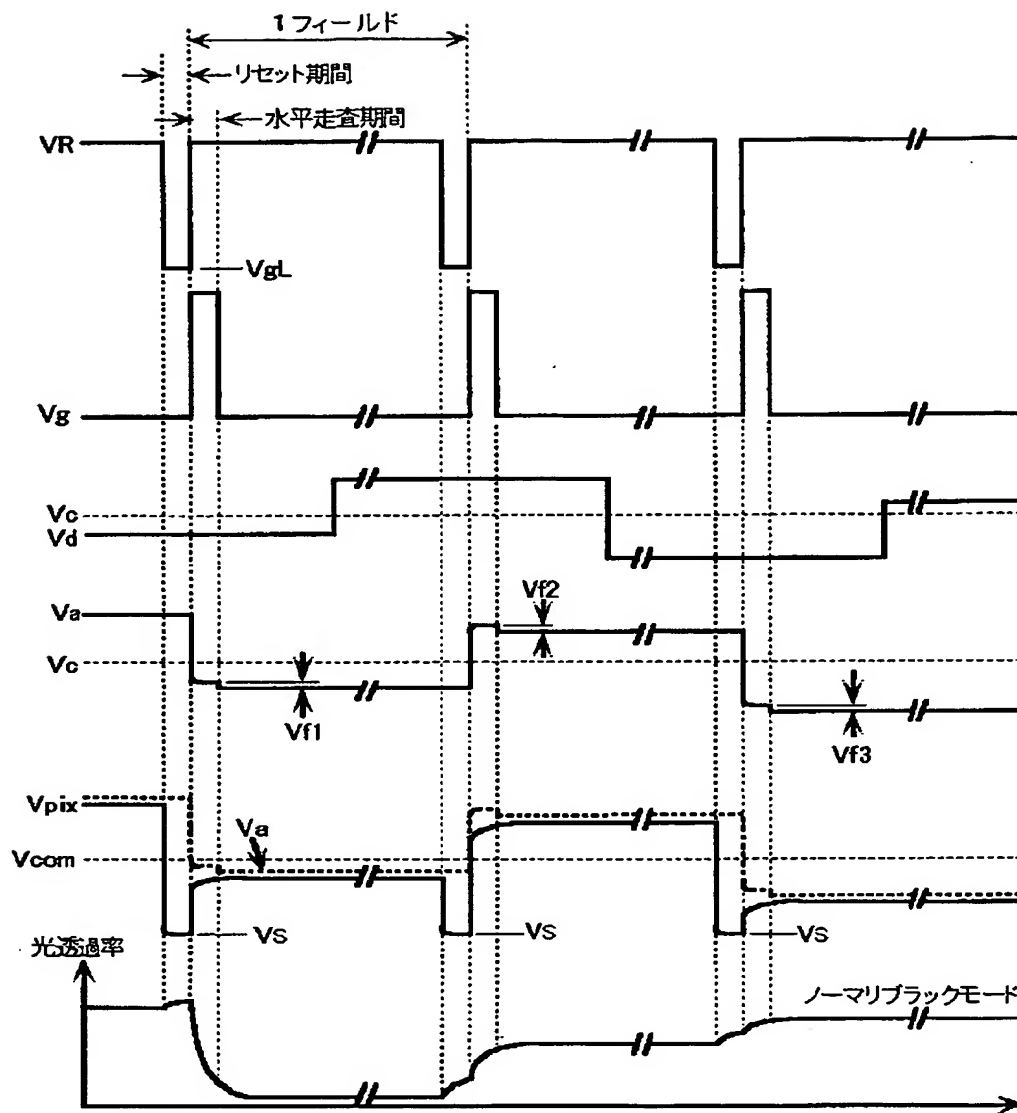
【図 4 6】



【図 4 7】

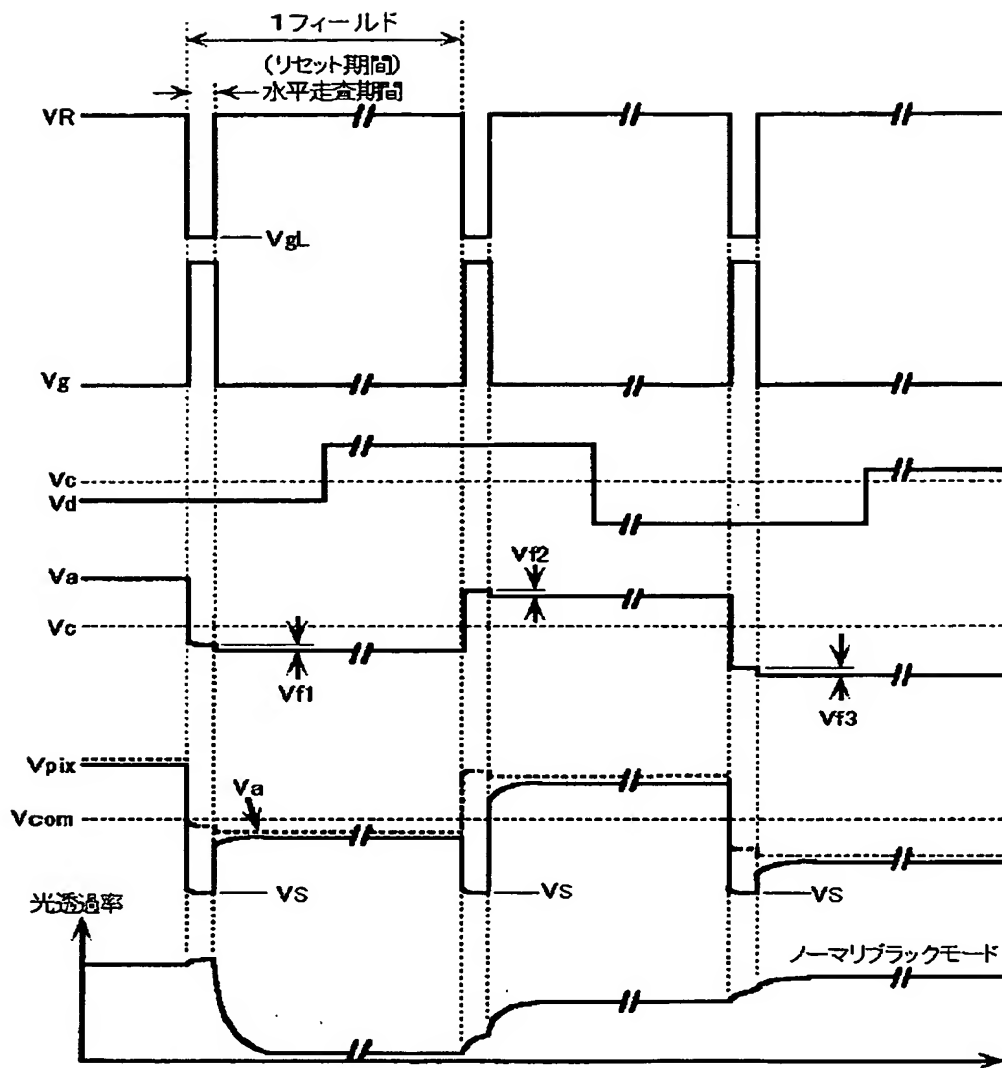


【図 48】

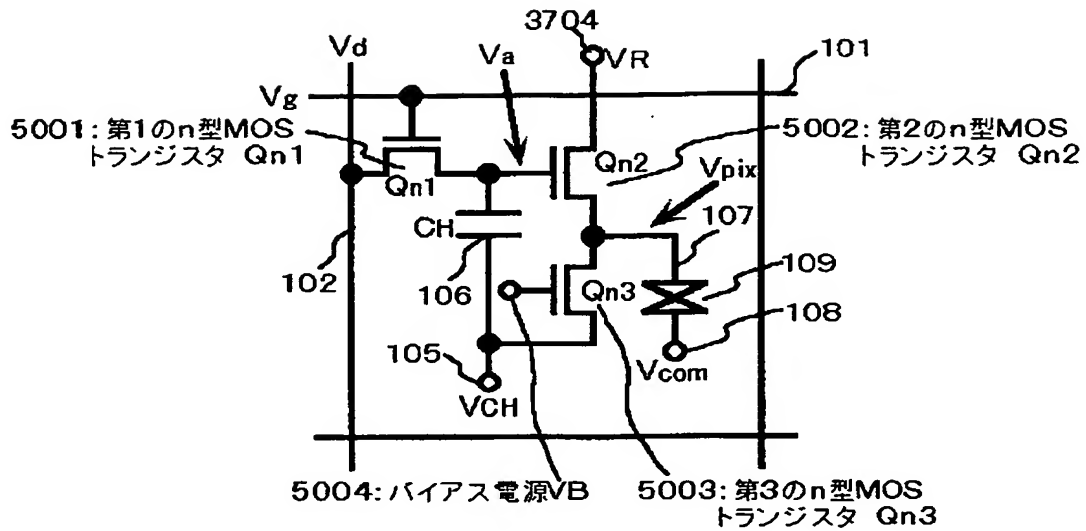




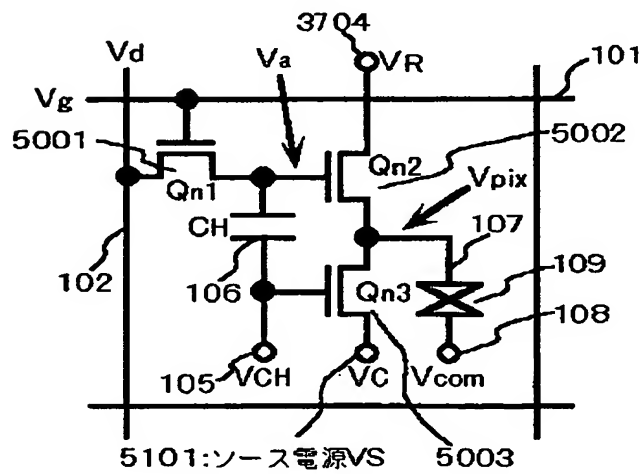
【図49】



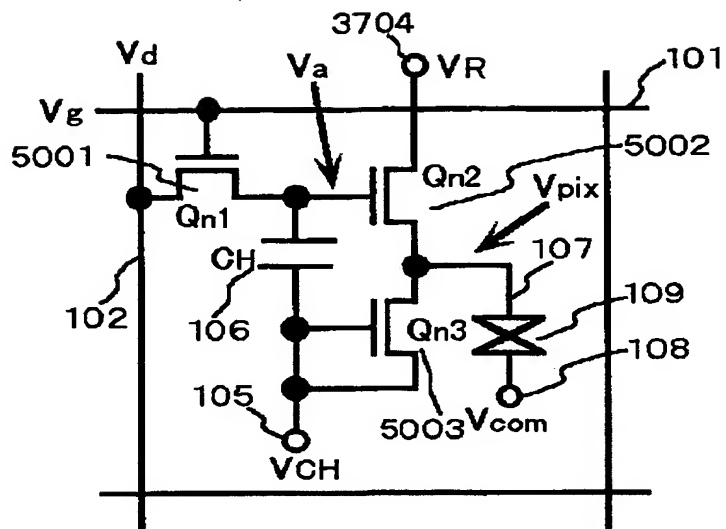
【図50】



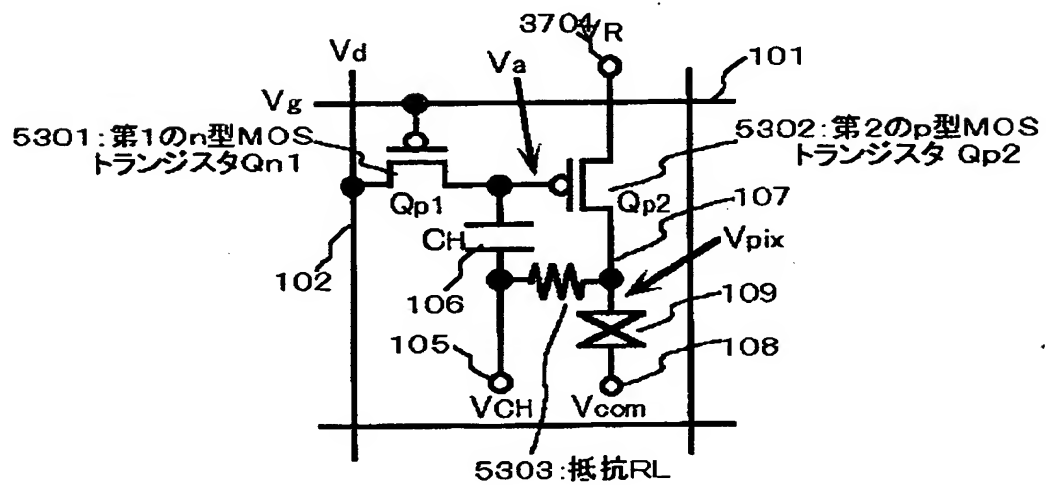
【図51】



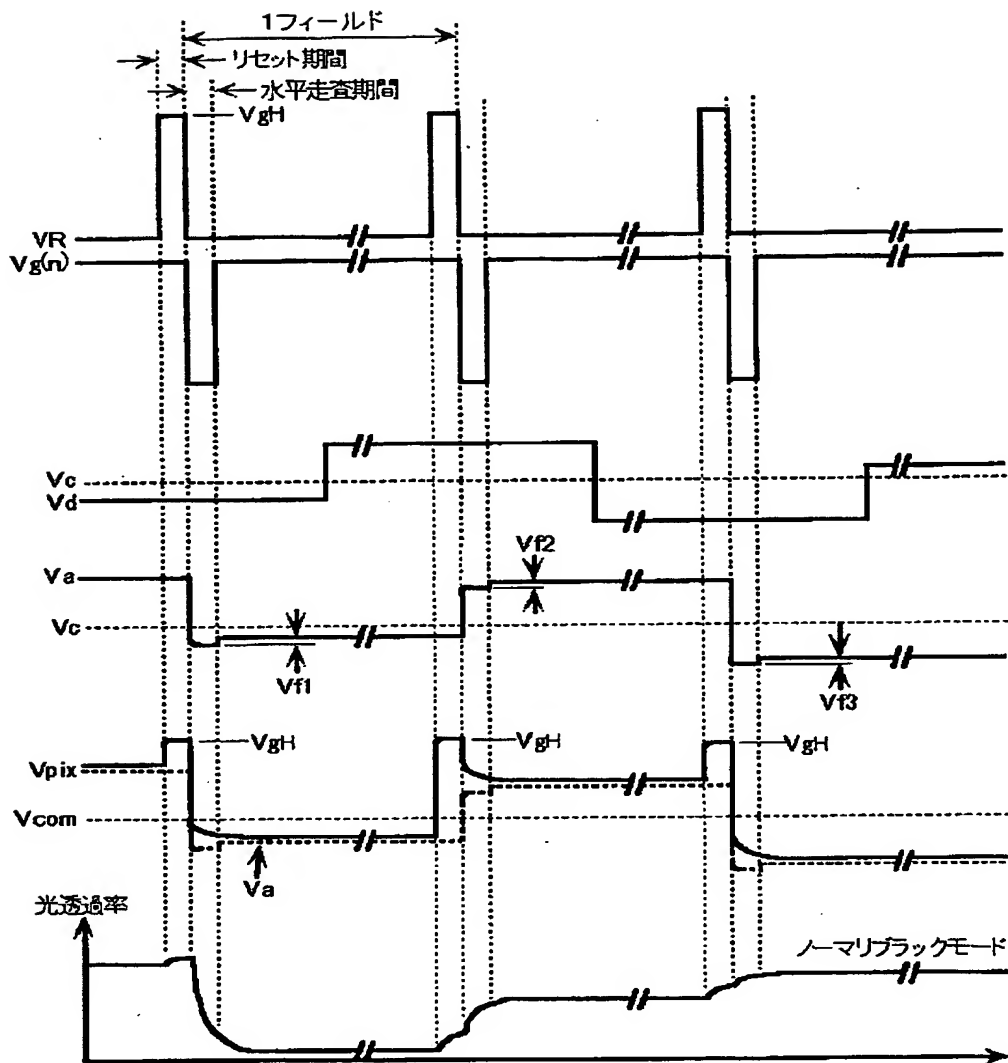
【図 5 2】



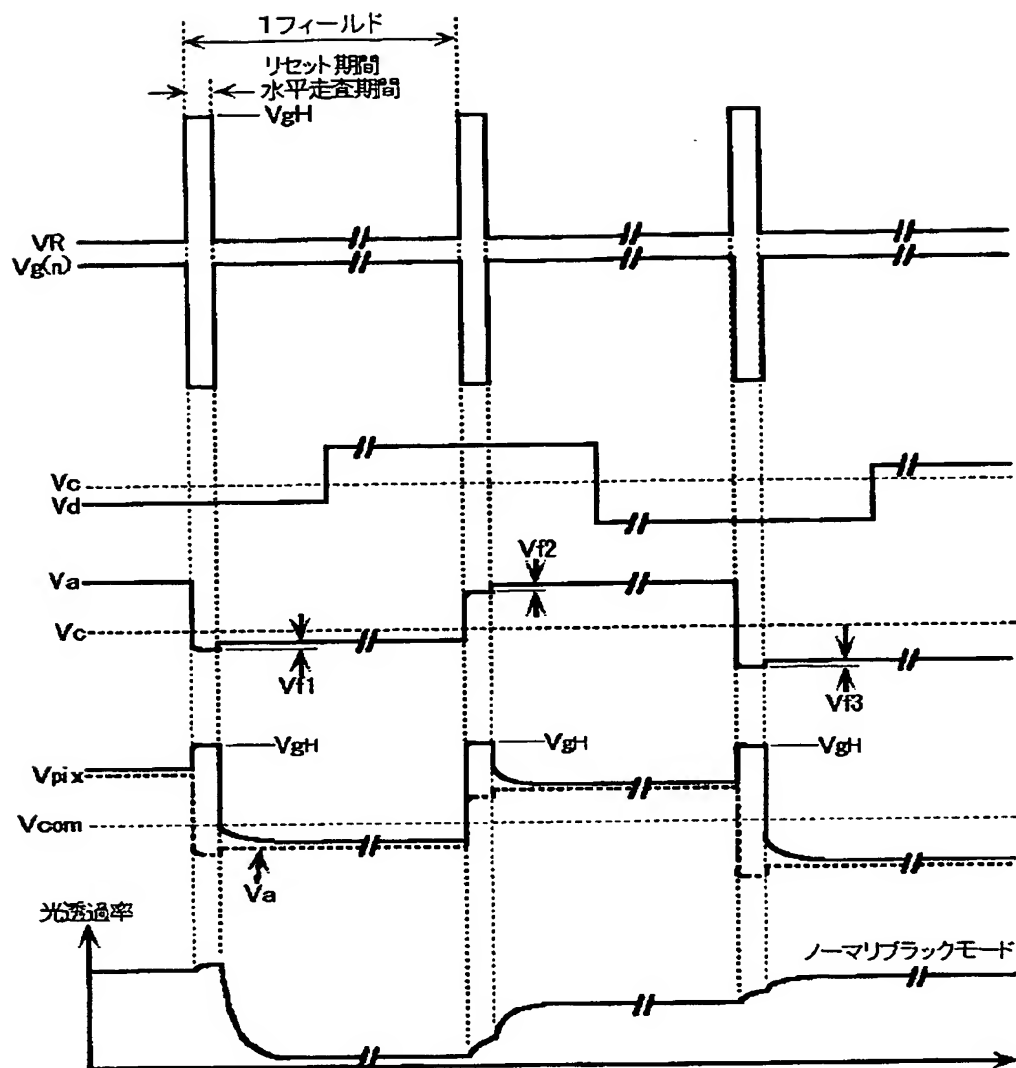
【図 5 3】



【図54】



【図55】



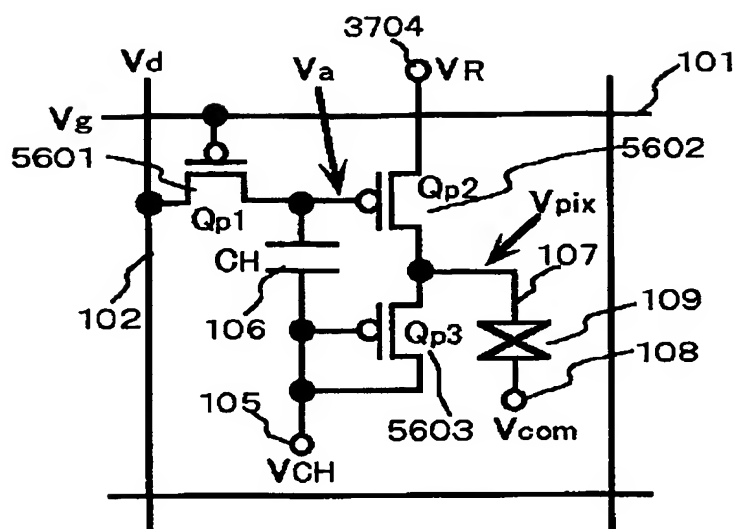
**P,**



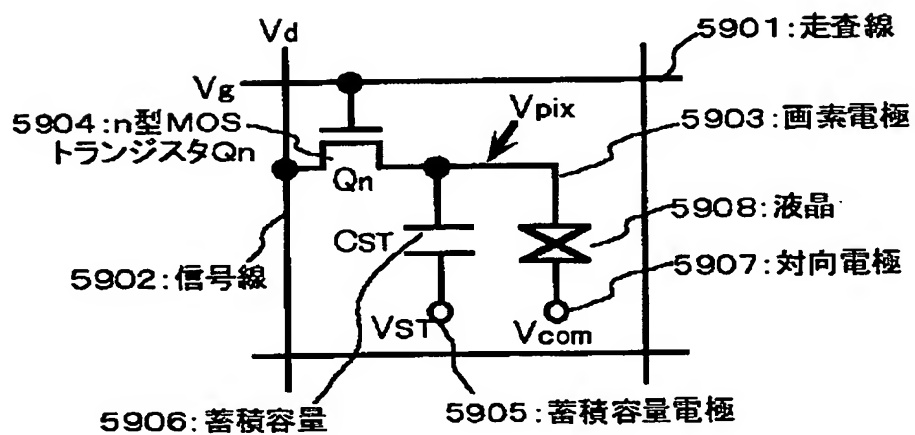
2



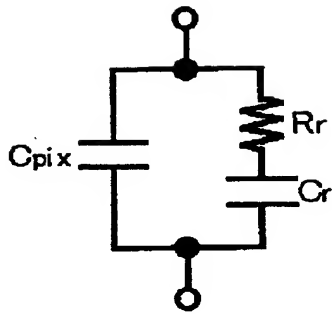
【図 5 8】



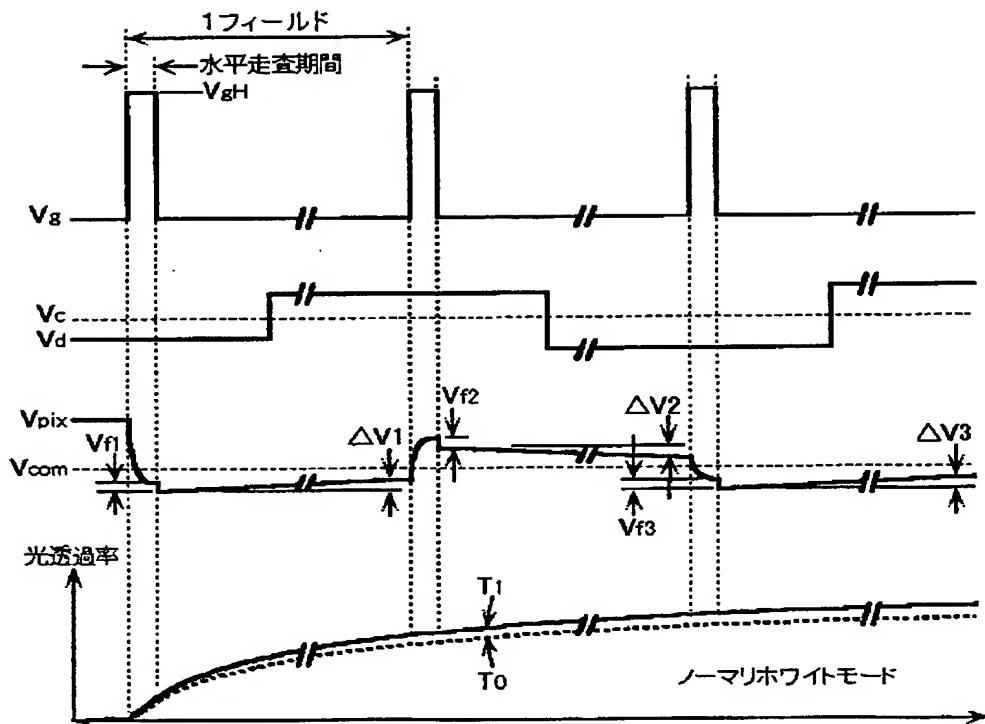
【図 5 9】



【図 60】

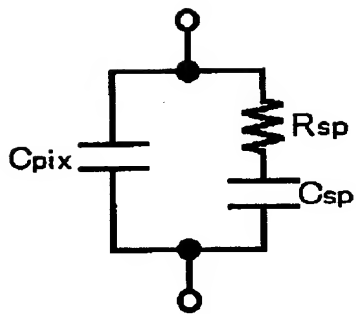


【図 61】

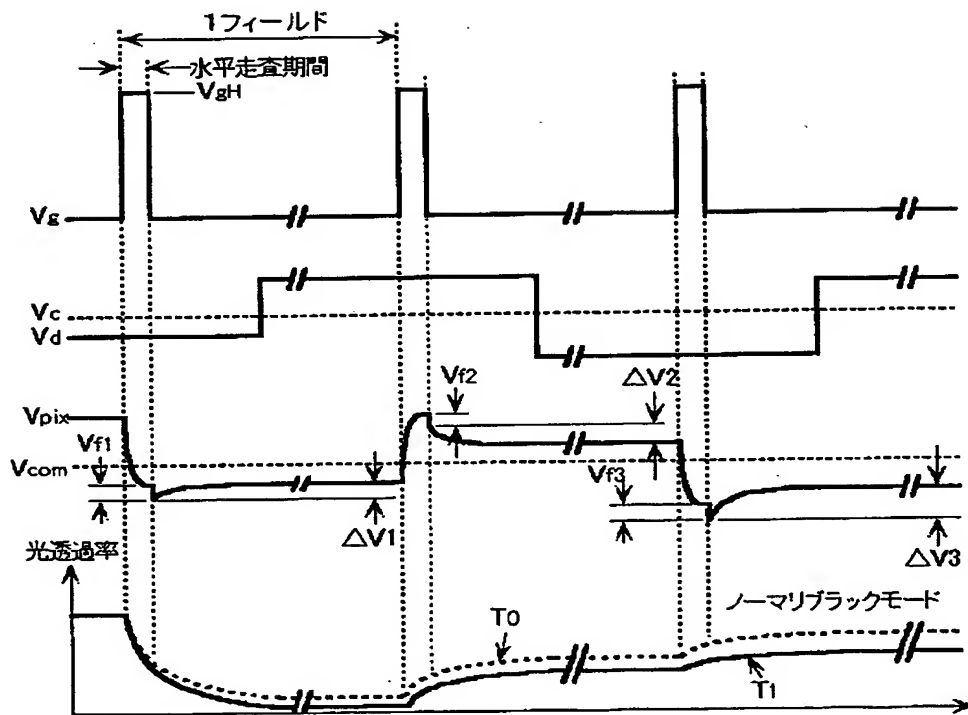




【図62】



【図63】



【書類名】 要約書

【要約】

【課題】 液晶の容量変化に伴う画素電圧の変動を無くすことにより、1フィールド（フレーム）期間毎に正確な階調表示を行うことのできる高速な液晶表示装置を提供する。

【解決手段】 アクティブマトリクス型液晶表示装置は、複数の走査線101と複数の信号線102との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動される。MOS型トランジスタ回路は、ゲート電極が前記走査線101に接続され、ソース電極及びドレイン電極の一方が前記信号線102に接続されたn型MOSトランジスタ301と、ゲート電極が前記n型MOSトランジスタ301の前記信号線102に接続されていない側のソース又はドレイン電極に接続され、ソース電極及びドレイン電極の一方が前記走査線101に接続され、ソース電極及びドレイン電極の他方が前記画素電極107に接続されたp型MOSトランジスタ302と、前記p型MOSトランジスタ302のゲート電極と電圧保持容量電極との間に形成された電圧保持容量106と、前記画素電極107と前記電圧保持容量電極105の間に接続された抵抗とから成る。

【選択図】 図3

【書類名】 職権訂正データ  
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】  
【識別番号】 000004237  
【住所又は居所】 東京都港区芝五丁目 7 番 1 号  
【氏名又は名称】 日本電気株式会社  
【代理人】 申請人  
【識別番号】 100096231  
【住所又は居所】 東京都千代田区神田東松下町 3 7 番地 林道ビル 5  
階 扶桑特許事務所  
【氏名又は名称】 稲垣 清

出 願 人 履 歴 情 報

識別番号

[000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社